

DOI:10.3969/j.issn.1001-4551.2017.04.019

# 基于 FPGA + DSP 架构的嵌入式视觉跟踪系统

鲁国智<sup>1</sup>, 石晶辉<sup>2</sup>, 彭冬亮<sup>1</sup>, 谷 雨<sup>1\*</sup>

(1. 杭州电子科技大学 通信信息传输与融合技术国防重点学科实验室, 浙江 杭州 310018;

2. 首都航天机械公司, 北京 100076)

**摘要:**针对视觉监控应用的实时性需求,提出了一种基于 FPGA + DSP 架构的嵌入式视觉跟踪系统。以 FPGA 作为主控制器,负责视频的采集,并对图像进行了自动调光、色彩插值、中值滤波和白平衡预处理,通过 PCIE 接口将 DSP 的处理结果输出至上位机进行了显示。DSP 通过 EMIFA 接口从 FPGA 接口获得了高质量的图像,采用基于均值漂移的跟踪算法进行了目标跟踪。阐述了系统各个模块的接口设计及主要算法的实现,并进行了系统的优化设计。实验结果表明,经过预处理后,图像亮度适中,图像色温得到了校正,系统能够获得高质量的图像。经过代码优化后,跟踪算法能够稳定跟踪目标,算法处理每帧图像平均时间为 13ms,能够满足实时性要求。

**关键词:** FPGA; DSP; 图像预处理; 视觉跟踪; 均值漂移

中图分类号: TP311

文献标志码: A

文章编号: 1001-4551(2017)04-0416-05

## Embedded vision tracking system based on DSP + FPGA

LU Guo-zhi<sup>1</sup>, SHI Jing-hui<sup>2</sup>, PENG Dong-liang<sup>1</sup>, GU Yu<sup>1</sup>

(1. Fundamental Science on Communication Information Transmission and Fusion Technology Laboratory, Hangzhou Dianzi University, Hangzhou 310018, China; 2. Capital Spaceflight Machinery Company, Beijing 100076, China)

**Abstract:** Aiming at the problem of real-time requirement in visual surveillance applications, embedded vision tracking system based on DSP + FPGA architecture was proposed. Video capture and image preprocessing procedures, including auto-exposure, color interpolation, median filtering, and white balance, were first carried out using FPGA as main controller. DSP processing results were then exported into host computer for display through PCIE interface. High-quality images were obtained from FPGA to DSP through EMIFA interface, and meanshift-based tracking algorithm was adopted to track target in DSP. The design of module interface and implementation of main algorithms were introduced, and system optimal design was performed. The experimental results indicate that the system can obtain high-quality images, where image brightness is moderate and color temperature is corrected. The target can be tracked stably and in time after code optimization. The average processing time per frame for tracking algorithm is 13 ms, which can meet real-time requirement.

**Key words:** FPGA; DSP; image preprocessing; visual tracking; meanshift

## 0 引 言

图像处理系统的小型化和实时处理对机器视觉系

统的发展和应用有着重要意义,近年来嵌入式视频处理系统的出现成为满足这一要求的最佳选择<sup>[1]</sup>。

目前嵌入式视觉跟踪系统主要有基于 FPGA、DSP 和 FPGA + DSP 架构 3 种。基于 FPGA 的视觉跟踪系

收稿日期: 2016-10-10

作者简介: 鲁国智(1991-),男,湖北孝感人,硕士研究生,主要从事嵌入式系统开发、数字图像处理、计算机视觉方面的研究。E-mail: ml8094784726@163.com

通信联系人: 谷雨,男,副教授,硕士生导师。E-mail: guyu@hdu.edu.cn

统实时性高,文献[2]在FPGA上实现了基于粒子滤波的目标跟踪算法,但其算法设计难度很大,开发成本高。文献[3]实现了CMOS+FPGA的高速视觉系统,能够对快速运动目标进行定位与跟踪,但其局限于圆形目标。基于DSP的视觉跟踪系统能够实现复杂的跟踪算法,文献[4]实现了双DSP嵌入式视觉跟踪系统,其采用并行特征跟踪算法实现目标跟踪,但要求跟踪算法能够并行处理。基于FPGA+DSP架构的视觉跟踪系统在工程上应用广泛<sup>[5-6]</sup>,能够解决算法的实时性和复杂度之间的矛盾,但其中FPGA大部分只负责视频采集、接口控制和简单的预处理操作,没有充分利

用FPGA的内部资源。

本研究将充分利用FPGA的逻辑资源,让DSP专注于核心算法的实现,实现基于均值漂移的目标跟踪算法。

## 1 系统硬件方案及接口设计

系统通过CameraLink接口获取单CCD相机图像,FPGA进行视频的采集和预处理,并通过PCIE接口将DSP的处理结果输出至上位机进行显示。DSP通过EMIFA接口获取图像,实现基于均值漂移的目标跟踪算法。系统硬件方案框图如图1所示。

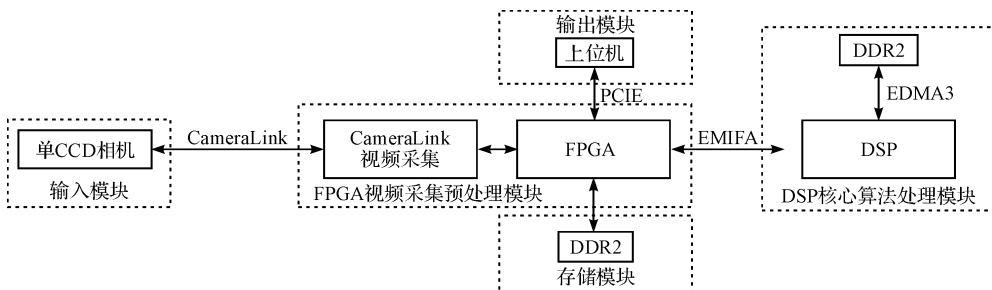


图1 系统硬件方案

系统主要完成两项工作:①视频的预处理;②目标跟踪算法的实现。

基于以上分析,系统分成5大模块:输入模块、FPGA视频采集预处理模块、DSP核心算法处理模块、存储模块和输出模块。系统硬件方案在威视锐科技V3IMG系统硬件平台上实现。系统硬件平台如图2所示。

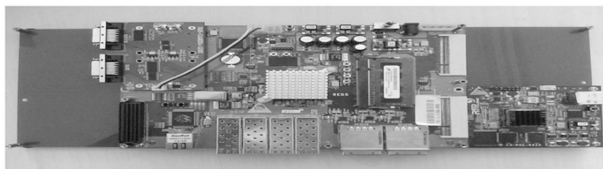


图2 系统硬件平台

### 1.1 输入模块

系统使用Vieworks公司VA-1MC系列的单CCD相机,其输出为Bayer彩色图像,最大分辨率为1 024 × 1 024。相机通过CameraLink接口将图像输出至FPGA视频采集预处理模块。

### 1.2 FPGA视频采集预处理模块

FPGA芯片是Xilinx公司Virtex5系列的XC5VLX110T,具有高性能、低功耗的特点。视频解码

芯片将CameraLink格式的数据信号转换成TTL信号,输出给FPGA进行预处理。FPGA预处理包括4部分:自动调光、色彩插值、中值滤波和白平衡。FPGA视频预处理模块如图3所示。

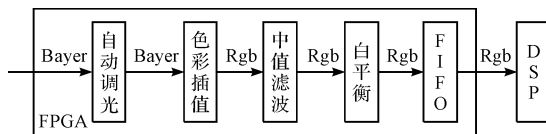


图3 FPGA视频预处理模块

相机输出为Bayer彩色图像,若直接对Bayer像素进行灰度统计来调光,相比对Rgb像素做灰度统计,其计算量减少了,因此第一个预处理模块设计为自动调光模块。Bayer彩色图像中,每个像素只有红、绿、蓝其中的一个分量,需要通过色彩插值来重建全彩色图像,因此设计了色彩插值模块。为了去除图像的噪点和考虑到后面的白平衡,使用了中值滤波模块对图像进行平滑处理,以减少白平衡中白点的误测。白平衡色温校正后的图像经过FIFO缓存后通过EMIFA接口输出给DSP。

### 1.3 DSP核心算法处理模块

DSP芯片是TI公司的TMS320C6455处理器。

DSP 通过 EMIFA 接口能方便地和各种存储器件连接, EMIFA 接口特性可通过 EMIFA\_CEnCFG 寄存器进行配置。因为图像是由 FIFO 缓存后输出给 DSP, 将 EMIFA 接口类型配置成同步 FIFO。RGB 图像每个像素是 24 位, 因此将数据位宽配置成 32 位。EMIFA 接口的 SOE 和 CEn 信号用作读写控制信号给 FPGA, 图像数据传输是在时钟 ECLKOUT 的同步下进行。DSP 内部的 EDMA3 模块是专门用来在两块内存间传输数据, 因此 EMIF 结合 EDMA 的工作方式可以很方便地进行大数据量的传输, 传输过程不需要 CPU 参与, 提高了系统的工作效率。

本研究在 DSP 的片外扩展内存 DDR2 中分配了连续 3 块一帧图像大小的内存, 用于输入输出图像缓存。视频行信号的上、下边沿在 DSP 内产生中断通知 EDMA3 进行 DDR2 和 FPGA 间的数据交互, DSP 通过 DDR2 留出的地址接口处理图像。

### 1.4 存储模块

系统是通过 PCIE 接口输出图像给上位机, 对于发送这种帧类型的数据, 加上 DDR2 作为缓存会使图像数据传输更加稳定。因此 DSP 处理后的图像首先通过 FPGA 缓存到 DDR2 中, FPGA 从 DDR2 中读取图像经 PCIE 接口输出至上位机。

### 1.5 输出模块

目标跟踪结果是在上位机上进行显示, 上位机通过 PCIE 接口接受 FPGA 上传的视频数据并显示。用户可通过上位机发送相应的相机控制命令给 FPGA, FPGA 解码后输出给相机。

## 2 系统主要算法实现

### 2.1 自动调光

传统的自动调光方法是根据整幅图像平均亮度信息调整 CCD 参数, 直到图像平均亮度值达到预设的阈值<sup>[7]</sup>。

考虑到这种方法实现简单, 可以满足大部分普通场景调光的需要, 因此本研究中, 根据图像中心区域平均亮度信息来调整 CCD 积分时间、增益值, 直到中心区域平均亮度值在预设的阈值区间。由于单纯的增益调节只能增大像素值, 不能适应场景过亮情形。单纯的电子快门调节通过增大曝光时间, 能适应场景过暗情形, 但同时减少了视频的帧率, 实时性下降。因此系

统采用了增益调节和电子快门调节相结合的调节方式。当场景过亮时, 主要调节曝光时间, 场景过暗时, 主要调节增益, 避免了增益调节的局限性和电子快门调节的帧率下降。

### 2.2 色彩插值

目前典型的色彩还原线性插值方法有:  $2 \times 2$  邻域复制插值法,  $3 \times 3$  邻域双线性插值法和  $5 \times 5$  邻域高质量插值法<sup>[8]</sup>。基于硬件实现的大多是简单的算法, 其中应用最广泛的是双线性插值算法。

考虑到算法复杂度和图像质量, 系统采用了一种改进的  $3 \times 3$  模板的双线性插值算法<sup>[9]</sup>。当恢复缺失的 G 分量时, 考虑邻域 G 分量像素水平垂直梯度变化, 恢复缺失的 R 或 B 分量时, 引进邻域同通道已知像素的对角线梯度信息, 这样可以进一步保留图像的边缘细节信息。系统利用由 FPGA 内部硬件构成的 DFF-FIFO 模型可以很方便地获取  $3 \times 3$  图像矩阵。DFF(Flip-Flop) 用来缓存单个像素数据, FIFO 用来缓存一行像素数据, 最左边的 DFF 代表矩阵的第 3 行第 3 列, 最右边的 DFF 代表矩阵的第 1 行第 1 列。DFF-FIFO 模型如图 4 所示。

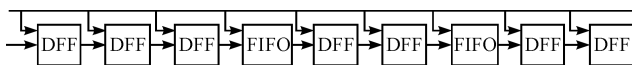


图 4 DFF-FIFO 模型

### 2.3 白平衡

目前在工程上应用的自动白平衡算法主要有全局白平衡算法和局部白平衡算法两大类, 其中局部白平衡算法以“镜面法”为代表<sup>[10]</sup>。“镜面法”对图像的白点做色彩信息统计来作为色温校正的依据, 适用于图像没有曝光过度的场景。

由于本研究设计了自动调光模块, 系统采用“镜面法”作为白平衡算法。FPGA 内设计了 3 个子模块分别为 rgb2ycbcr、computeCoef 和 outRGBbyCoef。白平衡功能模块描述如图 5 所示。

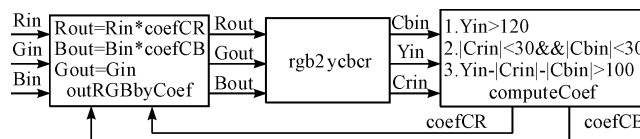


图 5 白平衡功能模块描述

其中 rgb2ycbcr 子模块将 RGB 空间转换为 YCbCr

空间。computeCoef子模块负责统计整幅图像中符合约束条件的白点数目,并在一帧后对这些白点的Cb和Cr求平均值,先通过判断白点数目及当前色温偏差决定是否做增益调节,然后调整增益系数。outRGBbyCoef子模块根据增益系数调整图像增益,色温的估计是在色温校正的基础上进行。Rin、Gin、Bin为RgB空间的像素分量,Yin、Cbin、Crin为YCbCr空间的像素分量,coefCR和coefCB为增益系数,computeCoef图框里面的3个不等式表示白点的约束条件,其参数是通过实验得出。

## 2.4 目标跟踪

基于嵌入式平台的目标跟踪算法对实时性有很高的要求。考虑到MeanShift计算负荷很小、实时性强的优点,系统采用了MeanShift跟踪算法<sup>[11]</sup>。MeanShift跟踪算法是一种基于核密度直方图的无参数估计方法,系统采用RGB核直方图作为目标特征进行目标跟踪,核直方图bins数设为 $16 * 16 * 16$ ,最大迭代次数为10。基于MeanShift的跟踪算法流程如图6所示。

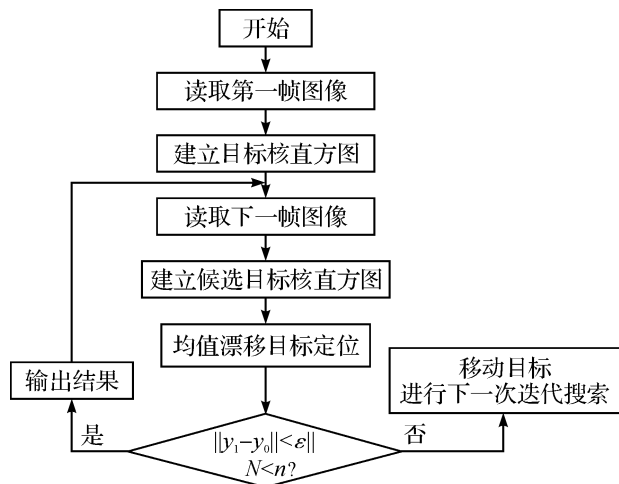


图6 基于MeanShift的跟踪算法流程

$y_1$ —估计的目标位置, $y_0$ —上一个估计目标位置

当漂移向量模长小于阈值 $\varepsilon$ 或迭代次数 $n$ 大于最大迭代次数 $N$ 时,停止搜索,输出结果并进行下一帧搜索,否则进行下一次迭代搜索。

## 3 实验结果与分析

为了直观说明图像预处理的效果,笔者做了一组对比实验。对比实验结果如图7所示。



图7 对比实验结果

从图7中可以看出,左边图像整体偏暗,且有一定的偏色现象,经自动调光和白平衡预处理后,图像整体亮度提升了,色温得到了校正,图像视觉效果较好。

开始实验时,图像大小为 $1\ 024 * 768$ ,目标设为 $50 * 50$ 大小,帧频为40 Hz,因此跟踪算法需要在25 ms内完成才可以满足实时性要求。没有优化程序时,进行一次搜索需要10 ms左右,本研究通过CCS4软件分析发现时间主要耗在了对DDR2的读写操作上。这是由于图像较大,不能缓存在DSP内部RAM中,访问DDR2速度较慢。因此本研究对程序进行了优化,首先将直方图数组声明为全局类型且存储在内部RAM中,减少访问DDR2次数。其次考虑到DDR2一个传输周期能传输32位数据,将之前从DDR2中一次获取1个字节改为4个字节,减少for循环次数。最后由于TMS320C6455是定点的DSP没有除法器,将直方图的归一化除法操作集成到权重计算中变成乘法操作。优化后,之前搜索一次需要10 ms,现在只需要4 ms。

本研究将图像大小设为 $1\ 024 * 1\ 024$ ,帧频为33 Hz,目标大小为 $80 * 130$ 。在上位机上截取的序列图像跟踪结果如图8所示。



图8 序列图像跟踪结果

从图 8 中看出,在目标从左往右移动过程中目标没有丢失,算法处理每帧图像平均时间为 13 ms,能够满足实时性要求。

## 4 结束语

本研究设计了基于 FPGA + DSP 架构的嵌入式视觉跟踪系统,实现了基于均值漂移的目标跟踪算法。FPGA 作为主控制器,控制系统的算法流程,负责视频的采集与预处理。DSP 作为核心算法处理模块,完成基于均值漂移的目标跟踪算法。实验结果表明,系统能够获得高质量的图像,跟踪算法能够稳定跟踪目标,算法处理每帧图像平均时间为 13 ms,小于相机的场周期 30 ms,能够满足实时性要求。

该系统的不足之处是均值漂移跟踪算法最大迭代次数过少,不能准确定位目标,且目标的颜色特征较为单一,在复杂场景、快速运动及尺度变化等情况下容易出现漂移问题。

### 参考文献 (References):

- [1] 孙荣春,孙俊喜,宋 雪. 基于 DSP 的 CMOS 图像采集与处理系统[J]. 半导体光电,2011,32(6):890-893.
- [2] CHO J U, JIN S H, DAI Pham X, et al. A real-time object tracking system using a particle filter[C]//2006 IEEE/RSJ International Conference on Intelligent Robots and Systems.

New York: IEEE,2006.

- [3] 郑西点,袁浩巍,严佳玲,等. 基于 CMOS + FPGA 的高速视觉实时定位与跟踪系统[J]. 上海电气技术,2015,8(4):18-25.
- [4] 秦彩云,吴艺娟,贺 新. 基于双 DSP 的嵌入式视觉跟踪系统[J]. 北京石油化工学院学报,2008,16(3):52-55.
- [5] 苏宛新,程灵燕,程飞燕. 基于 DSP + FPGA 的实时视频信号处理系统设计[J]. 液晶与显示,2010,25(1):145-148.
- [6] 李惠明,赵东华,李 超,等. 基于 FPGA 技术的旋转编码器跟踪模拟训练系统研究[J]. 兵工自动化,2016,35(4):32-34,39.
- [7] 楚广生. 基于图像处理的自动调光系统[J]. 国外电子测量技术,2015,34(12):69-72.
- [8] 孙 辉,柏旭光,孙丽娜,等. Bayer 图像色彩还原线性插值方法[J]. 液晶与显示,2013,28(3):417-423.
- [9] 梁忠东,安博文. FPGA 中实现 Bayer 模板双线性插值算法的改进[J]. 电子技术应用,2012,38(9):28-31.
- [10] 程本飞,戴 明,孙丽娜. 基于 FPGA 的 Bayer 彩色自动白平衡设计与实现[J]. 电子技术应用,2010,36(8):55-59.
- [11] COMANICIU D, RAMESH V, MEER P, et al. Kernel-based object tracking[J]. **IEEE Transactions on Pattern Analysis and Machine Intelligence**, 2003, 25(5):564-577.

[编辑:周昱晨]

### 本文引用格式:

鲁国智,石晶辉,彭冬亮,等. 基于 FPGA + DSP 架构的嵌入式视觉跟踪系统[J]. 机电工程,2017,34(4):416-420.

LU Guo-zhi, SHI Jing-hui, PENG Dong-liang, et al. Embedded vision tracking system based on DSP + FPGA[J]. *Journal of Mechanical & Electrical Engineering*, 2017,34(4):416-420.

《机电工程》杂志: <http://www.meem.com.cn>