

DOI:10.3969/j.issn.1001-4551.2016.10.024

基于 FPGA 和 DSP 的高精度多通道 信号检测系统硬件设计*

李安阳¹, 杨文生¹, 何敏^{2*}

(1. 上海船舶电子设备研究所, 上海 201108; 2. 上海海事大学 物流工程学院, 上海 201306)

摘要:针对电磁检测、电能质量检测应用领域中,大量传感器或参数需要实时检测处理的问题,对检测过程中采样时刻的设定、检测通道的选择、采样速率的设定、检测精度、数据处理能力进行了分析研究,对采样方式、控制策略、系统运行效率等进行了总结。提出了一种以 DSP 为主机, FPGA 为从机的双 CPU 硬件结构,并将其应用到了检测系统的硬件设计中。系统中通过 FPGA 完成了数据采集相关的通道选择,采样时刻、采样速率设定等工作;通过 DSP 完成了工作参数配置,检测数据处理,以及与上位机通讯等工作;通过工作分工建立了控制主机与检测通道、采样时刻、检测数据之间的联系,实现了数据的采集、存储、处理及显示。研究结果表明,该双 CPU 结构的检测系统具有检测通道选择、采样时刻控制灵活、检测精度高、数据处理方便的优点。

关键词:多通道;高精度;检测系统;硬件设计

中图分类号:TH862;TH39;TP273

文献标志码:A

文章编号:1001-4551(2016)10-1277-06

Hardware design of multi-channel and signals high-precision detection system based on FPGA and DSP

LI An-yang¹, YANG Wen-sheng¹, HE Min²

(1. Shanghai Marine Electronic Equipment Research Institute, Shanghai 201108, China;

2. School of Logistics Engineering, Shanghai Maritime University, Shanghai 201306, China)

Abstract: Aiming at the problem of detecting and processing a lot of sensors and parameters in field like electromagnetic detection and power quality detection, some studies in detecting channels' selection, the sampling rate setting, detection accuracy, sampling time setting and the capability in data processing was given. Through the conclusion of sampling method, control strategy and operating efficiency, an architecture of Dual-CPU in DSP and FPGA was proposed in the hardware design of detection systems. In the system, FPGA completed data acquisition related parameters' control like channels' selection, sampling time and rate setting, but parameters' configuration, detected data's processing, communication with hoster and so on were completed by DSP. The relationship between control hoster, detection channels, detection time and detection data was established based on work specialization. Data collection, storage, processing and display were realized through this system. The results indicate that the Dual-CPU system is flexible in detecting channels' selection and times' control, high precision and timely data processing.

Key words: multi-channel; high precision; detection systems; hardware design

收稿日期:2016-03-18

基金项目:国家自然科学基金资助项目(61141002)

作者简介:李安阳(1988-),男,安徽宿州人,硕士研究生,主要从事船舶电子设备方面的研究. E-mail: anyangli1988@163.com

通信联系人:何敏,女,教授,硕士生导师. E-mail: minhe@shmtu.edu.com

0 引言

在电磁检测、电能质量监测等工作频率在兆级以下的应用领域中,存在大量的传感器或参数需要实时采集处理。如在电磁层析成像技术(EMT),在对传感器阵列内部金属特性进行成像分析过程中,为了避免电磁涡流效应或者集肤效应,电磁传感器的工作频率比较低,但是检测通道的切换非常频繁,工作时刻不同需要采集的传感器的通道也不同。而当前对于电磁层析成像的研究还主要局限于理论仿真和模拟性分析上,在模拟分析阶段基于 NI 仪器的分析研究是现今主要的检测方式。而要使系统进入实际的应用,基于 NI 仪器的检测系统设备体积大,成本也较高。因而对于能够自由切换检测通道、采样时刻控制方便的低成本检测系统的设计对于电磁检测应用具有非常重要的现实意义。在当今电能质量检测领域,传统基于单片机的电能质量参数采集处理系统,由于其数据处理能力的有限,使得系统检测精度低、实时性差。因而设计一种能够快速、准确地检测出电能质量的各项参数的检测系统,对电力调度自动化及电能质量改善有重要的现实意义^[1-7]。

多通道信号检测系统,其首先要能对检测通道的数量进行扩展,检测通道的采样时刻具有可控性。检测系统还要能对采集的数据进行一定的运算处理;为了控制的灵活性及广泛的应用性,检测系统的控制主机与检测通道、检测时刻、检测数据之间要能实现通信控制。如果这些任务由一个 CPU 来完成,CPU 在数据运算时要兼顾系统控制、数据传输以及频繁的中断响应,系统的运行效率会降低。

因此,为了兼顾系统的运行效率,本研究设计一种以 DSP 为主机、FPGA 为接口从机的双 CPU 主从式多通道高精度检测处理系统。

1 设计方案及主要组成部分

本研究选择 16 位宽的高精度模数转换芯片 AD7656。检测通道控制的灵活性及数据的存储,可以利用现场可编程逻辑芯片在接口控制方面的优越性来实现,为此系统选择 FPGA 芯片 SPARTAN3 XC3S400。检测系统对检测信号的运算处理,可以利用具有数据处理优势的 TI 公司 F2812DSP 芯片实现。为了方便 DSP + FPGA 这种双 CPU 结构对检测数据的交流传输,系统选择了双端口 RAM 芯片 CY7C028V 作为两者之间的传输桥梁。

系统结构框图如图 1 所示。

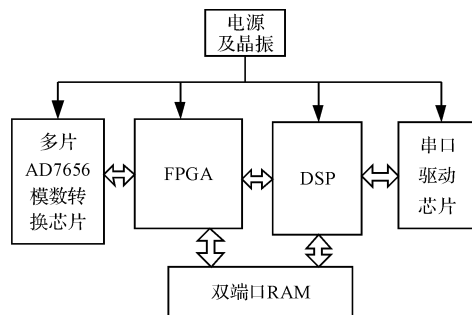


图 1 基于 FPGA 和 DSP 的高精度多通道信号检测系统结构框图

2 系统硬件设计

2.1 数据采集模块

系统选择 AD7656 的模数转换芯片,其可处理最高 4.5 MHz 的输入频率,片内包含 1 个 2.5 V 内部的基准电压源和基准缓冲器使得芯片的采样范围具有可调性^[8]。

系统采用 +5 V 的模拟电源 (AVCC) 和数字电源 (DVCC),AD7656 和 FPGA、DSP 之间采用 16 位并口通信方式进行数据传输。转换信号 CONVST 由 FPGA 控制,为了完成 6 路信号的同步采样,将 AD7656 的 CONVST A、B、C 引脚连接到一起。通过 FPGA 控制 CONVST 管脚启动转换,并保持该信号为高电平。AD7656 启动转换信号后会输出 BUSY 信号,BUSY 信号下降沿时,代表转换已经全部完成。此时,AD7656 内部的 6 个寄存器中已经保存了转换的数据,FPGA 通过控制片选 CS 和读 RD 信号依次顺序读出 6 个通道 AD 转换值。读出 AD 转换值后,改变 CONVST 为低电平信号即完成一个采样周期^[9-10]。用 AD7656 进行产品设计的时候,要注意到一点:无论采取硬件模式或软件模式,在 AD7656 上电后必须对其进行复位,复位脉冲一般在 100 ns 以上。其电路图如图 2 所示。

本研究对电源、接地、电路布局进行了一些处理。由于采用多片 AD7656,其接地方式和单片系统有很大差别。多片系统设计上把 AD7656 的 AGND 和 DGND 作为统一的模拟地平面处理,而把同 AD7656 接口的 CPU 处理器的电源地作为数字地平面处理。采用系统单点接地方式时,需要在同多片 AD7656 距离接近的地方作为接地点。同时应注意,ACND 和 DGND 是单独通过各自的过孔连接到模拟地平面的。避免在器件下方布设数字电路,防止将噪声耦合至芯片。为了

抑制共模噪声对信号的干扰,系统在每个信号输入通道的输入口引入了共模电感。经过共模电感过滤的信

号再通过一级放大跟随器,可以有效规避 AD 采集端口与信号输入端之间的阻抗干扰。

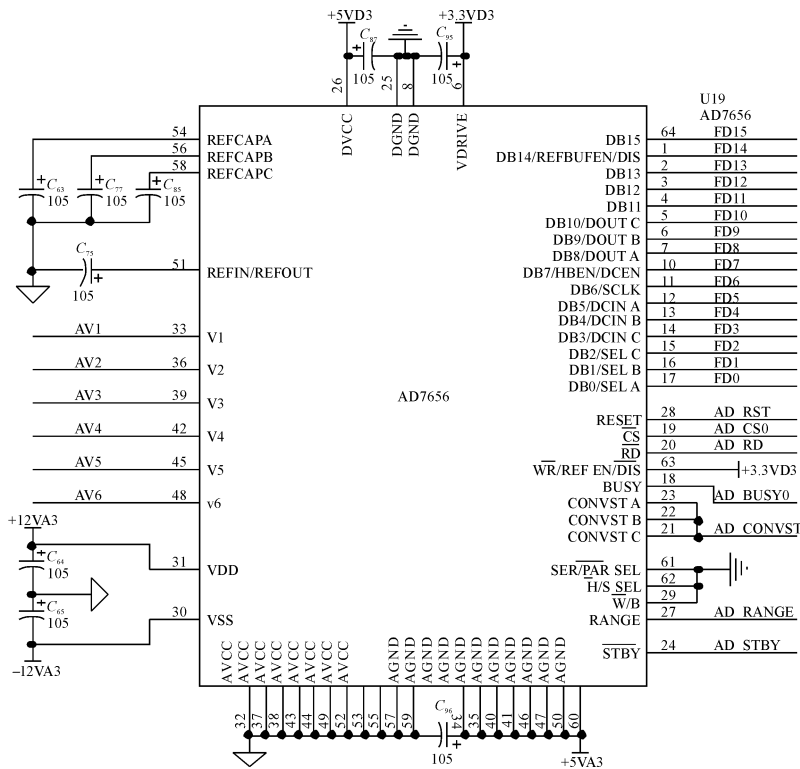


图 2 模数转换芯片 AD7656 的电路设计图

2.2 双端口 RAM

主从式系统设计的关键是主机与从机之间的数据通信。主从机之间的数据通信主要有串行、并行、DMA 及双口 RAM 4 种方式。考虑到多通道信号检测系统实时性高、数据量大的特点,设计采用双口 RAM 器件 CY7C028 作为共享存储器,CY7C028 是 CY-RESS 公司研制的深度为 64 K、宽度 16 bit 的低功耗 CMOS 型静态双口 RAM。其特点是:提供两套完全独立的数据线、地址线、读写控制线,允许两个 CPU 对双端口存储器同时进行操作;具有两套完整的中断逻辑,可实现 2 个 CPU 之间的握手信号;具有完全独立的忙逻辑,可保护 2 个 CPU 对同一地址单元进行正确的读写操作^[11]。

FPGA 完成对所有通道的数据采集并存储到 RAM 中之后,会给 DSP 芯片一个提示信号,DSP 根据这个提示信号将双端口 RAM 中的数据提取并做运算处理。通过独特的软件分区设计有效地实现了检测系统中的主机 DSP 与从机 FPGA 之间的通信^[12]。CY7C028 可与大多数高速处理器配合使用,无需插入等待^[13]。

2.3 电源以及时钟设计

系统的电源采用 24 V 和 5 V 供电,其中 24 V 的电源经过直流转换电源芯片 JTF1248D12 转换之后供给 AD 采集通道应用端;5 V 的电源经过直流稳压电源芯片 TPS74401 分别转换为 3.3 V、2.5 V、1.8 V、1.2 V 供给 DSP 和 FPGA 等芯片使用。FPGA 时钟采样外部晶振 50 MHz 的时钟,DSP 芯片采用外部 30 MHz 的晶振芯片。

2.4 通讯接口

为了方便上位机对检测系统工作参数的设置,以及系统处理后的数据与上位机通信,系统采用了 DSP 自带的串口功能模块和 MAXIM 公司的 MAX491 芯片。MAX491 是 MAXIM 公司带驱动器和接收器使能的全双工方式的 RS-485 接口芯片,该芯片功耗低、集成度高,接口电路简单、可靠性好,数据传输速率可高达 10 Mbps^[14-15]。为了方便多个采集系统共用一根串口线,本研究在每个串口芯片增加了串口使能引脚。

3 系统控制模块设计

系统控制模块主要完成数据采集通道的选择,采

样时刻的设定,完成各通道信号的采集、存储、运算处理、传输等。

3.1 DSP 芯片设计

TMS320F2812 是 TI 公司 C2000 系列中性价比较高的一般器件^[16-17]。将本系统选择外部有源时钟方式,直接选择一个 3.3 V 供电的 30 MHz 有源晶振,输入时钟信号直接连到 X1/CLKIN 引脚上。通过编程选择 5 倍频的 PLL 功能,实现 F2812 最高工作频率 150 MHz。DSP 仿真器通过 DSP 芯片上提供的扫描仿真引脚实现仿真功能,扫描仿真消除了传统电路仿真存在的电缆过长会引起的信号失真及仿真插头的可靠性差等问题^[18]。采用扫描仿真,使得在线仿真成为可能,给调试带来极大方便。双端口 RAM 和 FPGA 共同连接 DSP 的外部接口地址总线, DSP 分别为 RAM 和 FPGA 分配地址空间。这样 DSP 可以直接通过地址寄存器访问 RAM 中存储的采集数据, FPGA 也能与 DSP 进行数据通信。为了方便 FPGA 通知 DSP 对采集的数据读取和处理, FPGA 的 IO 引脚连接 DSP 的外部中断引脚。

DSP 的相关电路如框图 3 所示。

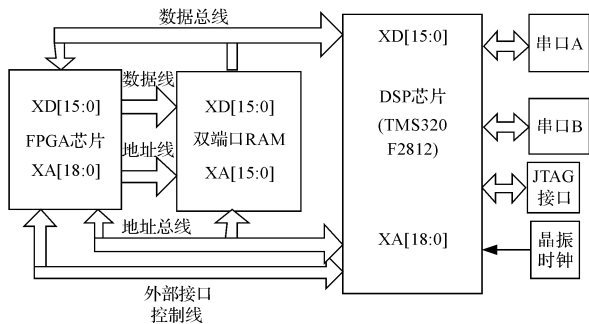


图 3 DSP 的相关电路结构框图

DSP 芯片的主要工作是将 FPGA 采集的数据及时提取并按照检测的方法、目的进行一定的运算处理。为了方便检测系统的扩展级联, DSP 的芯片的 GPIO 口设计了代表身份的 ID 号, DSP 上传采集的数据时,也将 ID 号上传给上位机。为了方便调用双端口 RAM 中的数据,将双端口 RAM 的读取端口直接连接到 DSP 的外部扩展接口 XINTF 上,并在 DSP 的命令文件中为每个通道的采集数据进行寄存器地址分配。这样 DSP 在数据运算处理时,就可以用访问寄存器的方式操作 FPGA 采集的数据。

DSP 的程序在上电初始化过程中,对系统的时钟、GPIO 端口、全局变量、中断向量、串口、看门狗等模块进行参数配置、初始化,板卡 ID 号的读取,以及 AD 采集控制命令的初始化。初始化完成之后进入对上位机

串口命令的周期查询状态;如果有读取检测数据的控制命令,则将运算处理好的各个采集通道的数据通过串口上传给上位机;如果是变更 FPGA 采样过程参数的命令,则将控制参数通过外围扩展接口 XINTF 下发给 FPGA 芯片;如果是 AD 采样结束的中断信号,则进入对采样数据的运算处理过程。其工作流程如图 4 所示。

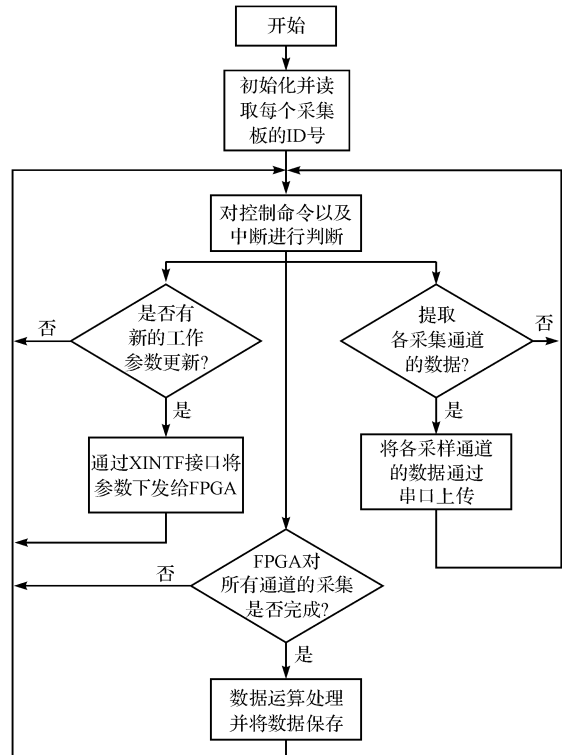


图 4 DSP 工作流程图

3.2 FPGA 芯片设计

由于 FPGA 在接口控制及脉冲检测方面的优越性,其在系统中主要完成采样时刻的判断,采样过程的控制,采样数据的存储等工作。设计选用的 FPGA 是 Xilinx 公司推出的新型高性价比的 Spartan3 系列 FPGA 中的 XC3S400。由于 Xilinx 公司的 FPGA 是基于 SRAM 工艺的,其 FPGA 的配置数据是易失性的,一般会使用一个外部存储器件来存储配置数据,当系统上电之后, PROM 会自动配置 FPGA。系统中采用的 PROM 是 Xilinx 公司的型号为 XCF02S,其容量有 2 Mbit。系统对 XC3S400 的配置使用到了主动串行方式和边界扫描方式^[19-22]。

FPGA 的相关电路如框图 5 所示。

FPGA 上电初始化之后,进入 DSP 设定的工作参数配置过程,如对采样通道数量、采样深度等参数设置。如果 DSP 有新的配置参数发送给 FPGA, FPGA 将重新配置采样过程;如果没有工作参数更新,则按照原

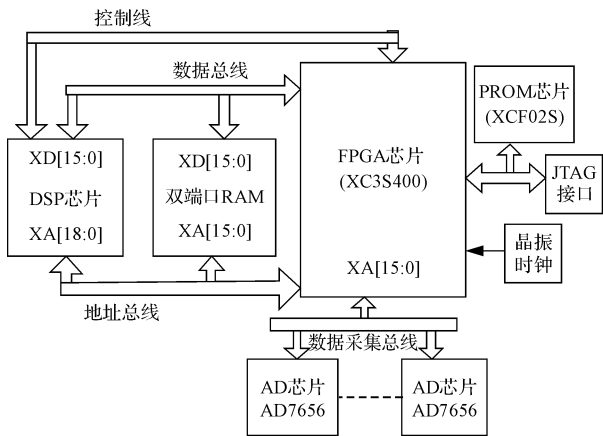


图 5 FPGA 的相关电路结构框图

有的采样过程对模拟信号进行采样。采样开始信号来临, FPGA 进入对各个检测通道循环采样的过程。采样过程一直持续到采样达到预定的采样深度。采样循环过程结束之后, FPGA 会将采集的数据存入双端口 RAM 芯片。存储完成后 FPGA 给 DSP 一个外部中断信号,用于触发 DSP 对采集的数据提取以及运算处理。

4 系统实验

系统单个检测板用了 8 片 AD7656 芯片,因而一个采集板最多可以同时 48 个采样通道进行数据采集。实验中模拟信号采集范围设置为 5 V,每个采样通道的采样深度设置为 50, FPGA 的采样频率最高设置为 100 kHz。系统实验现场如图 6 所示。



图 6 系统实验现场

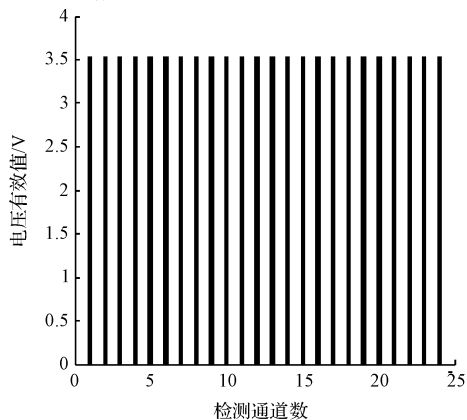
发送命令参数中前两个 16 进制数是控制指令的数据头;第 3 个数 01 为重新设置采样频率的指令代码;第 4 个数 4A 代表此块板卡的 ID 号码;第 5 个数 01 代表采样频率设置参数(在此初步设定 0x01-0x64 分别对应的采样频率为 1~100 kHz),后面 6 个 16 进制数分别对应 48 个采样通道是否工作的设置(高电平表示通道正常工作,低电平表示不工作)。实验开始时发送 16 进制工作参数为 55,01,11,01,32,FF,FF,FF,FF,

FF,FF。接收到的检测数据 01,4A,01,接着是 48 个 FF,后面是 48 个采样通道对应的采样数据。为了测试系统的通道切换能力,将控制参数中后面 3 个 FF,FF,FF 更改为 00,00,00,也即是后面 24 个通道的采样使能关闭。接收到的数据为:01,4A,01 接着是 24 个 0xFF 和 24 个 0x00,然后是 24 个采样通道的采样值和 24 个 0x00。为了测试系统采样率变更的方便性,将系统控制参数中 0x32 更改为 0x64,也即是采样频率更改为 100 kHz。此时系统接收到的数据为:01 4A 01接着是 24 个 FF 和 24 个 00,再接着是 24 个通道的检测数据和 24 个 00。

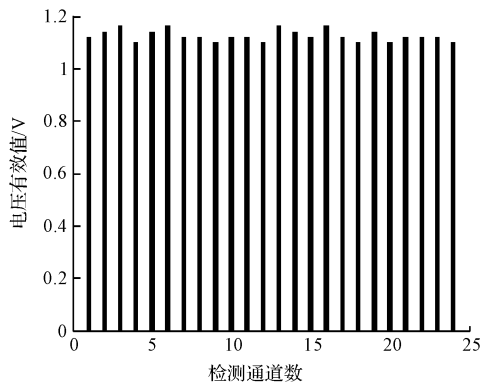
串口接收 16 进制数据中第 1 个代表板卡 ID 号,第 2 个代表数据包长度,第 3 个代表此板卡是否正常工作(0x01 表示此板处于正常工作状态,00 表示此板工作异常),后面 48 个数代表每个采集通道是否处于工作状态。最后 48 个采样通道的数值(在此初步设定有效值)。

由于系统采用了 16 bit 的采样宽度,其理论分辨率可高达 1/65 536,为了更为直观地展现系统的采样精度,实验中将采样数据经过 50 倍放大之后取其整数通过串口上传并将结果通过图形显示。

系统采样精度实验如图 7 所示。



(a) 加载同一信号



(b) 误差率5%的信号

图 7 系统采样精度实验

测试中首先选择了 24 个采样通道同时加载同一个 $\pm 5\text{ V}$ 的正弦波,系统输出的每个采样通道的有效值如图 7(a)所示,通过此图可以直观地发现系统的检测通道采样一致性非常好,精度至少保留小数点后 4 位数。将系统应用于误差率 5% 的电磁感应线圈的电压测试中,其波形图如图 7(b)所示,从图 7 中也可以比较直观地看出系统几乎保留的原有信号的误差率。

以上实验验证了检测系统的高采样精度以及通道选择、采样率变更的方便性,硬件系统单块电路板具有最多可以同时检测 48 个检测通道进行精度 16 bit 的数据采样,采样速率最高可达 100 kSPS,单通道最高采样速率 250 kSPS 由 AD7656 芯片性能决定,采样深度减小的话系统采样速率还可以进一步提高。系统通过不同板卡的 ID 号可以很好的实现检测通道的扩展。设计人员还可以根据自己的需求对采集的数据进行特定的运算处理,只需在 DSP 中编制特定的算法函数,利用寄存器查询方式调用采集的数据并进行相应的运算处理即可。

5 结束语

本研究针对电磁检测、电能质量检测应用领域,大量传感器或参数的采样方式、控制策略、系统运行效率等进行了分析研究,设计了基于双 CPU 结构的多通道高精度信号检测系统。

研究表明,该双 CPU 结构的检测系统具有检测精度高,检测通道选择、采样时刻控制灵活、数据处理方便的优点。

参考文献 (References):

[1] 李玉川,何敏.电磁成像金属探伤传感结构激励模式的仿真研究[J].机电工程,2014,31(7):829.
 [2] 章学铜,李安阳,陈立晶,等.基于时域和频域信号综合分析的金属探伤研究[J].机电工程,2013,30(3):253-256.
 [3] 何敏,邹富墩.电磁层析成像金属探伤传感系统的仿真研究[J].计算机工程与设计,2013,34(7):2616-2617.
 [4] 刘雨,张思全,尹畅.两种管道电磁无损检测方法研究综述[J].机电工程,2014,31(7):845-847.

[5] 时新淦,何敏,陈丽婷,等.H型电磁测厚涡流传感器的时域仿真研究[J].机电工程,2014,31(1):1-6.
 [6] 何敏,陈斌根.基于数字信号处理器的电磁探伤系统设计[J].上海海事大学学报,2013,34(12):94-95.
 [7] 柳英杰,胥芳,潘国兵.三通道分布式电能质量检测系统研究[J].机电工程,2014,31(2):245-247.
 [8] 潘翔,鲍远慧,朱春.基于DSP金属氧化锌避雷器在线监测系统[J].仪表技术与传感器,2013(5):58.
 [9] 李宏成,张全法,李磊,等.基于DSP的电能质量参数高速采集系统[J].仪表技术与传感器,2011(10):50-51.
 [10] 夏云非,杨宝龙.AD7656与ARM芯片的接口设计[J].仪器仪表用户,2013,20(3):79-80.
 [11] 周满平,林家春,张斌,等.基于DSP的光纤测头信号采集与处理系统设计[J].机电工程,2011,28(4):465-466.
 [12] 党瑞荣,汤小松,王成莉.基于AD7656的高性能输电线路监测系统[J].计量与测试技术,2008,35(9):8-9.
 [13] 汪崇,郭正刚,张志新,等.远程多通道数据采集卡的设计[J].仪器仪表用户,2007,14(2):53-54.
 [14] 丁高林,郑宾,于博.基于DSP的高速数据采集处理系统[J].科技信息,2012(8):134-135.
 [15] 王风云,田新城,丁良.基于单片机的RS-485总线网络扩展方法[J].兵工自动化,2003,22(4):38-40.
 [16] 王晓娜,张学鹏,王彦霞.基于DSP数据采集系统在实验教学中的应用[J].实验科学与技术,2012,10(4):59-67.
 [17] 苏奎峰,吕强,狄庆峰,等.DSP2812原理与开发[M].北京:电子工业出版社,2005.
 [18] 高翠云,江朝晖,孙冰.基于TMS320F2812的DSP最小系统设计[J].电气电子教学学报,2009,31(2):84-85.
 [19] 荣少巍.基于FPGA的高精度多通道采集存储系统设计[J].电子测量技术,2014,37(4):110-111.
 [20] 郝家春,占红斌,龚振亮.基于FPGA的宽幅单PASS多喷头驱动研究[J].轻工机械,2014,32(2):16-19.
 [21] 王华.基于FPGA的实时图像处理系统设计与算法研究[D].成都:电子科技大学计算机科学与工程学院,2008.
 [22] 包原,黄挚雄.FPGA在振动在线监测系统中的应用[J].仪器仪表用户,2011,18(4):67-68.

[编辑:周昱晨]

本文引用格式:

李安阳,杨文生,何敏.基于FPGA和DSP的高精度多通道信号检测系统硬件设计[J].机电工程,2016,33(10):1277-1282.

LI An-yang, YANG Wen-sheng, HE Min. Hardware design of multi-channel and signals high-precision detection system based on FPGA and DSP[J]. Journal of Mechanical & Electrical Engineering, 2016,33(10):1277-1282.

《机电工程》杂志: <http://www.meem.com.cn>