

DOI:10.3969/j.issn.1001-4551.2016.01.016

基于数字频率合成算法的硬件 PWM 模块设计^{*}

朱远建, 张 华^{*}

(浙江理工大学 机械与自动控制学院, 浙江 杭州 310018)

摘要:针对伺服电机的控制问题,对控制伺服电机的脉冲发送模块、计数模块、加减速模块进行了研究。通过分析脉冲信号产生过程,提出了一种基于 FPGA 的宽调频范围的脉冲产生方法。该方法采用数字频率合成算法,通过硬件描述语言 Verilog HDL 实现该算法的逻辑,并利用 Quartus II 仿真软件对所产生脉冲信号和加减计数模块进行仿真测试。在伺服电机控制平台上进行测试验证,研究结果表明该算法生成的脉冲频率可调范围为 1 Hz ~ 25 MHz,在整个脉冲段的波动不超过一个时钟周期。该脉冲发送模块具有脉冲输出均匀稳定、分辨率高、调频范围广的优点,可以满足多种伺服控制要求,为伺服电机提供稳定的控制脉冲,具有一定的应用前景。

关键词:直接数字合成(DDS);脉冲边沿计数;有限状态机;现场可编程逻辑门阵列(FPGA)

中图分类号:TH39;TP23

文献标志码:A

文章编号:1001-4551(2016)01-0084-05

Hardware pulse width modulation module based on digital frequency synthesis algorithm

ZHU Yuan-jian, ZHANG Hua

(Zhejiang Sci-Tech University, Faculty of Mechanical Engineering & Automation, Hangzhou 310018, China)

Abstract: Aiming at controlling servo motor stably, the research concerning pulse sending module, counting module and deceleration module were conducted. By analyzing the pulse signal generating process, a kind of wide tuning range of pulse generator based on FPGA was introduced, which is a direct digital frequency synthesis algorithm (DDS) by using Verilog HDL hardware description language to implement the logic of the algorithm. Also the projects use Quartus II simulation software to test the pulse signal and deceleration counting module. The results indicate that the pulse frequency is adjustable from 1 Hz to 25 MHz, and the entire pulse period fluctuation does not exceed one clock cycle. The PWM module can be uniform and stable with high resolution and the wide range of frequency. The module can meet a variety of servo control requirements with very good prospects.

Key words: direct digital synthesis; pulse edge count; Finite-state machine; fpga

0 引 言

在数字运动控制系统中,运动控制卡需要根据上位机要求向伺服电机驱动器发送一定频率和数量的脉冲信号,使伺服电机按照设定的速度平稳地运行到设定的位置。为了使伺服电机高速平稳地运转,运动控

制卡的脉冲发送模块必须输出周期稳定、占空比均匀、波动小的高质量脉冲信号。运动控制卡采用 FPGA 作为主控制芯片,将从 DSP 芯片中接收到的数字量转换成相应频率的脉冲发送给驱动器^[1]。系统设计采用 Verilog HDL 语言实现 FPGA 内部之间的逻辑关系^[2]。频率合成模块需要实现的功能是将系统时钟分频合成

收稿日期:2015-09-08

基金项目:国家自然科学基金资助项目(51307151);浙江理工大学科研启动基金资助项目(13022155-Y)

作者简介:朱远建(1988-),男,江苏宿迁人,硕士研究生,主要从事嵌入式控制技术方面的研究. E-mail:541327947@qq.com

通信联系人:张 华,男,博士,副教授,硕士生导师. E-mail:zhanghua@zstu.edu.cn

之后,实现某一阈值内的脉冲频率可调,从而保证伺服电机的转动速度在某一范围内连续可调^[3]。因此必须设计一个能得到任意整数分频的脉冲产生电路。

目前,脉冲发生器在测试领域占据着主要地位,在数字控制系统中脉冲生成方法主要有以下几种:①脉冲均匀分配算法,为了得到均匀分配的脉冲信号,把 N 除以 n 得到每个脉冲所占用的时钟周期数 k ,但是由于 N 不一定能被 n 整除, r 为余数,因此在每个伺服周期快要结束的 r 个周期内没有脉冲输出。同时在脉冲输出时间段内脉冲输出频率会偏高,这样会导致伺服电机转速的波动,而且 FPGA 内部会进行除法运算,这样会消耗过多的 FPGA 资源,而且会造成脉冲发送较大的延时。②通过内部上升沿触发信号,再把粗调和微调过的下降沿信号送到 D 触发器,最终 D 触发器在上升沿信号到来时拉高电平,在下降沿触发信号到达清零端时,D 触发器清零产生低电平,从而产生数字脉冲。③直接数字合成(direct digital synthesis, DDS)算法,它是一种应用广泛的频率合成技术,由初值为 M 的相位累加器、计数器、相位判断组成。在时钟节拍下计数器累加,当到达设定的阈值时计数器清零,相位累加器的溢出频率就是 DDS 信号输出的频率。

DDS 脉冲生成算法简单,易于在 FPGA 中实现,占用资源少,同时生成脉冲均匀,频率可调范围广,因此本研究采用 DDS 直接频率合成算法实现脉冲模块的设计。

1 基于 FPGA 的脉冲控制发生器设计

脉冲频率、信号延迟调整的精度及分辨率、参数可编程能力和信号功率、脉冲宽度调整的精度和分辨率等方面的因素决定了高速脉冲发生技术的先进性^[46]。脉冲发生器的波形模块设计是由 FPGA 内部的脉冲产生电路生成脉宽、占空比、脉冲周期、脉冲个数可调的脉冲。因此脉冲发送模块生成脉冲应具备调频范围广、输出脉冲周期稳定、抗干扰能力强等特点。

1.1 DDS 算法模块的分析与实现

直接数字合成技术是一种新型的频率合成技术。该技术具有较高的频率分辨率^[7]。DDS 算法模块由频率控制字、相位累加器、相位判断输出、时钟信号、复位信号组成。DDS 算法原理如图 1 所示。相位累加器由加法器和累加寄存器组成,FPGA 上电复位,累加寄存器清零,加法器将频率控制字 k 与累加寄存器输出的值进行累加,然后把结果继续送至累加寄存器的输入端,在时钟节拍的控制下一直累加,当达到累加寄存

器设定的阈值 M 时,累加寄存器溢出清零。相位累加器在时钟上升沿来临时将频率控制字累加一次,因此,相位累加器的溢出频率就是 DDS 信号的输出频率。

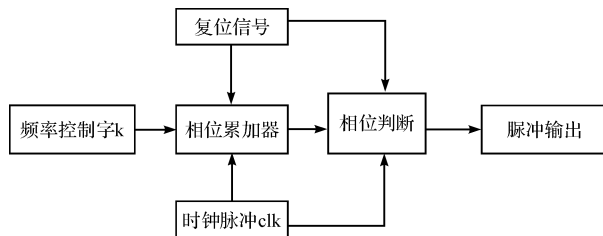


图 1 DDS 算法原理图

当计数器的值小于等于 $M/2$ 时输出寄存器值赋 1,当计数器的值大于 $M/2$ 时输出寄存器的值赋 0,所以输出脉冲频率计算公式为:

$$f_{cp} = \frac{f_{clk}}{M} \times k \quad (1)$$

式中: f_{cp} —输出脉冲频率, k —频率控制字, f_{clk} —系统时钟频率, M —计数器阈值。

只要改变 k 的值就可以方便的改变输出脉冲的频率,因此系统根据输入的频率控制字就能得到相应的脉冲频率。此算法输出的最小频率为:

$$f_{min} = \frac{f_{clk}}{M} \quad (2)$$

式中: f_{min} —系统输出的最小脉冲频率, f_{clk} —系统时钟频率, M —计数器阈值。

DDS 代码逻辑图如图 2 所示。

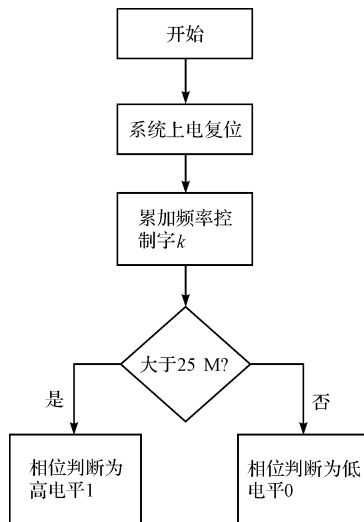


图 2 DDS 代码逻辑图

为了满足输出脉冲的调频范围广的要求,本研究把最低输出频率设置为 1 Hz,即分辨率为 1 Hz。因为该设计采用 50 MHz 的时钟频率,将计数器清零溢出的值设置为 50 M,即当计数器累加值大于或者等于 50 M 时,计数器清零溢出。只要改变频率控制字的值就可

以产生频率为 K 的整数倍的脉冲。该 DDS 算法很好地避免了时钟周期除不尽的问题。当频率控制字 k 不能被 50 M 整除的时候,脉冲发送的周期波动也不会超过一个时钟周期。理论上脉冲频率可调范围为 1 Hz ~ 25 MHz。完全满足伺服驱动器对脉冲频率的要求。该算法易于用 Verilog HDL 硬件描述语言编写,耗费 FPGA 资源少,采用自上而下的设计流程^[8]。

1.2 脉冲计数和加减速模块设计

为了实现对伺服电机速度和位置的控制,有效利用第一节中的 DDS 脉冲发送模块,设计出加减速模块和脉冲计数模块。当上位机给定脉冲个数和脉冲频率信号后,脉冲发送使能,开始发送脉冲,同时对脉冲的上升沿进行捕捉,当采集到脉冲上升沿以后计数器加 1,这样就能计算所发送脉冲的个数,然后当发送脉冲的个数与上位机发来的脉冲个数相等时使能信号关闭,则脉冲发送停止。

当对脉冲进行加减速时只要保证加速阶段所发送的脉冲个数后就能在后面计算脉冲发送的减速位置,即当剩余脉冲数小于等于加速脉冲个数后则强制进入减速阶段。

在电气传动领域内 PWM 控制技术成为应用主流^[9]。当脉冲发送模块启动以后,发送设定频率脉冲,在每个时钟上升沿捕捉发送脉冲的上升沿,当捕捉到到上升沿以后计数器累加 1,当计数器的值达到设定的脉冲个数后,把脉冲发送使能信号拉低,让脉冲发送模块停止工作,并经计数值通过数据总线传送的 DSP 芯片中。比较脉冲发送模块是否发送足够量的脉冲个数。同时 FPGA 内部会对正交编码器反馈回来的正交脉冲进行倍频计数,然后与发送脉冲个数进行对比,看伺服电机是否走到了设定的位置^[10-12]。

脉冲发送模块的加减速状态机如图 3 所示。

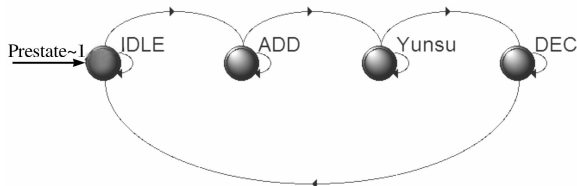


图 3 脉冲发送模块加减速状态机

系统初始化后进入 IDLE 状态,然后等待启动信号系统进入加速阶段,加速到上位机设定速度后,系统进入匀速阶段,当对脉冲进行加减速时只要保证加速阶段所发送的脉冲个数后就能在后面计算脉冲发送的减速位置,即当剩余脉冲数小于等于加速脉冲个数后则强制进入减速阶段。

2 仿真实验以及结果分析

为了检验所设计模块的整体性能,下面对所涉及的问题进行具体分析,主要涉及 DDS 算法生成脉冲的误差分析、脉冲发生器的系统功能仿真。

2.1 DDS 算法生成脉冲的误差分析

如前所述,当频率控制字 k 不能被 M 整除时,脉冲频率会有一个时钟周期波动,脉冲发送模块仿真图如图 4 所示。脉冲周期为 10 020 000 ps,前半周期为 5 000 000 ps 后半周期为 5 020 000 ps,在脉冲周期内有 20 ns 的误差,也就是一个时钟周期的误差,也就是当时钟频率变大时,脉冲周期内误差会小于 20 ns。

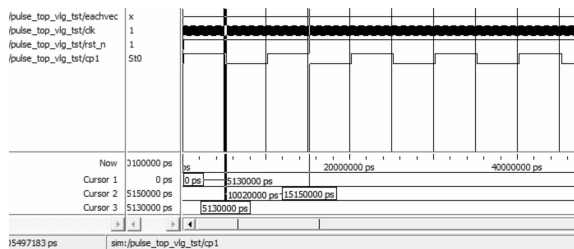


图 4 脉冲发送模块仿真图

图 4 中纵坐标波形逻辑状态,只有高电平和低电平两种状态;横坐标为时间,单位为 ps。

所以在设计中只要时序分析满足时序约束要求,提高时钟频率会减少所发送脉冲的误差,可以再设计中对 50 M 的时钟进行四倍频^[13],可以将脉冲周期误差缩小到 5 ns,提高所发送脉冲频率的稳定性。

2.2 脉冲发生器的系统功能仿真

为了能够对伺服电机进行有效地控制,伺服电机的加减速模块和脉冲位置计数模块就是关键。脉冲发生器系统包含如下几个内容:基于 DDS 算法的脉冲产生模块、加减速状态机的设计、脉冲位置计数模块。本研究将上述 3 个模块综合在一起实现自顶下的设计,有效地对伺服电机进行控制^[14]。

脉冲发生器总体仿真图如图 5 所示。图 5 的纵坐标为各个信号的逻辑状态,只有高电平和低电平两种状态;横坐标为时间,单位为 ps。

如图 5 所示,当系统上电复位以后,各个寄存器初始化,脉冲发生器接口等待 DSP 芯片发来的频率和脉冲个数信号,基于 FPGA 的脉冲发送模块接口电路接收到上位机信号后,等待启动信号系统进入加速阶段,加速到上位机设定速度后,系统进入匀速阶段,当对脉冲进行加减速时只要保证加速阶段所发送的脉冲个数后就能在后面计算脉冲发送的减速位置,即当剩余脉冲数小于等于加速脉冲个数后则强制进入减速阶段。使伺服电机运行到相应的位置。

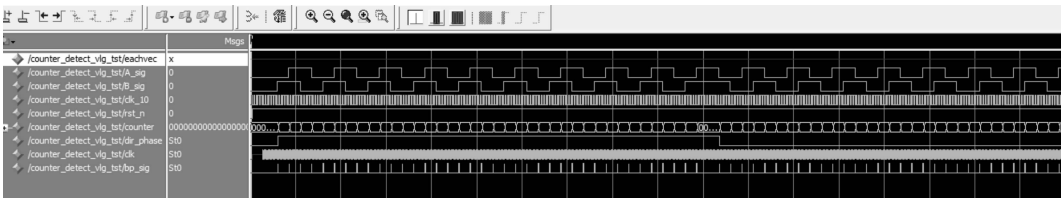


图5 脉冲发生器整体仿真图

3 实验验证

在对所写代码进行仿真验证通过以后,本研究对所涉即系统进行实验平台的搭建,该实验测试平台如图6所示,把编写好的代码烧写进入FPGA开发板,配置好管脚,对所输入的频率进行直线增加,然后把管脚引出接入示波器进行频率测量,然后对实际测量的频率值进行保存,并导出相应的数据到Excel表格中。

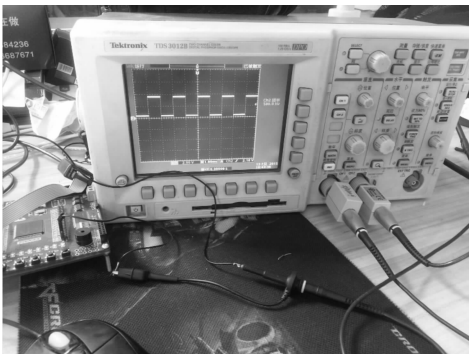


图6 系统测试硬件平台

3.1 对脉冲频率在不同频率段采样测试

本研究对所设计脉冲发送和计数模块烧写到FPGA芯片上进行板级调试,测试在不同设置频率下,基于DDS算法的脉冲发送模块实际发送脉冲频率与设定频率匹配度,还有所设置脉冲数与实际接收脉冲数是否匹配。通过测得的实际脉冲频率值和理论脉冲频率值在Matlab软件中进行画图后的图形如图7所示。

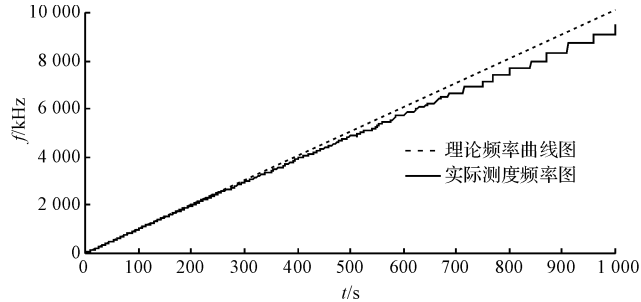


图7 实际频率Matlab仿真图

由图7可知,频率在5 MHz以下有较准确的输出;但是当达到5 MHz以上后会出现频率在一定范围内不变,也就是当脉冲周期小到一定程度后,那一个时钟脉冲的误差在整体脉冲周期内占据的比重越大,所以造成频率亏损就越大,导致图形后面出现阶梯状的跳跃现象,不过在伺服电机的可调频范围内基于DDS算法的脉冲发生器能够很好满足设计要求。

从图7中可以看出,脉冲发送的频率在大于5 M以后就会低于设定的脉冲频率,因此在实际的应用中会对所输入脉冲控制字进行内部处理,在不同频率段进行对应状态机的切换以使所发送脉冲与实际相符。

3.2 在伺服电机控制平台上的应用测试结果

为了测试硬件脉冲发生器控制模块的实际性能选用国产东菱EPS-TA0D5132伺服电机作为实验对象,如图8所示。设置伺服电机在速度控制模式下,在不同频率段把伺服电机接收到的脉冲数与实际发送的脉冲数进行比较。在测得的低速段和高速段结果表明伺服电机驱动器接收到的脉冲数与实际脉冲发送模块发送的脉冲数完全一致,而且电机启动和停止平稳没有较大抖动,体现了该脉冲发送模块稳定的性能。

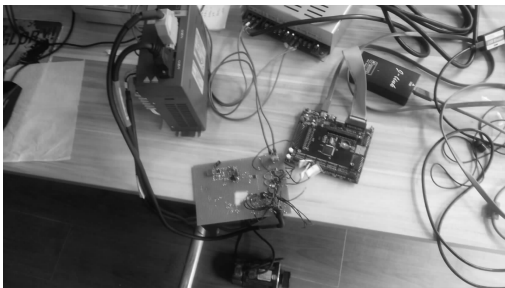


图8 测试电机驱动器实物图

4 结束语

本研究通过对比3种脉冲产生方法的优劣,最终采用基于DDS算法的脉冲发生器模块设计,并对所设

(下转第115页)

本文引用格式:

朱远建,张 华. 基于数字频率合成算法的硬件 PWM 模块设计[J]. 机电工程,2016,33(1):84-87,115.
ZHU Yuan-jian, ZHANG Hua. Hardware pulse width modulation module based on digital frequency synthesis algorithm[J]. Journal of Mechanical & Electrical Engineering, 2016,33(1):84-87,115.
《机电工程》杂志: <http://www.meem.com.cn>