

DOI:10.3969/j.issn.1001-4551.2015.05.024

封装键合点对 IGBT UIS 失效的影响研究*

李琦¹, 徐弘毅¹, 金锐², 谢刚¹, 郭清^{1*}, 盛况¹

(1. 浙江大学电气工程学院, 浙江杭州 310027; 2. 国家电网智能电网研究院
电工新材料与微电子研究所, 北京 102211)

摘要:为了解决绝缘栅双极型晶体管在实际应用当中的典型关断失效问题, 对其在电感无钳位开关条件下的电压应力、电流应力、雪崩能力以及失效模式进行了研究。基于电感无钳位开关测试电路, 着重探讨了 UIS 条件下 IGBT 的击穿机理。封装打线时将铝线分别键合于多个 IGBT 芯片发射极的不同部位, 并基于自主搭建的测试平台, 对该批初步封装的 IGBT 芯片进行了电感无钳位开关条件下的应力测试。最后提出了封装改进建议, 避免封装键合点对于 IGBT UIS 失效的影响。实验结果表明: 封装焊线在 IGBT 发射极金属所引入的横向电阻会导致 IGBT 芯片的并联元胞等效电阻不均匀, 并使电流更易集中于封装键合点附近, 最终导致 IGBT 芯片在 UIS 条件下的失效点均位于铝线键合点附近。

关键词:绝缘栅双极型晶体管; UIS; 失效分析

中图分类号: TM7; TN3

文献标志码: A

文章编号: 1001-4551(2015)05-0707-05

Influence of bonding location on IGBT's failure under UIS condition

LI Qi¹, XU Hong-yi¹, JIN Rui², XIE Gang¹, GUO Qing¹, SHENG Kuang¹

(1. College of Electrical Engineering, Zhejiang University, Hangzhou 310027, China; 2. Electrical Engineering New Material and Microelectronics Department, State Grid Smart Grid Research Institute, Beijing 102211, China)

Abstract: Aiming at solving the turn-off failure of the IGBT device in application, the voltage stress, current stress, avalanche energy endurance and failure pattern of IGBT was studied under unclamped inductive switching (UIS) condition. Based on the UIS test circuit, the failure mechanism was discussed in detail. Aluminum wires were bonded on different location of IGBT bare chips separately during packaging. The UIS experiment was carried out on these chips based on self-assembled experimental platform. Advice on packaging improvement was proposed to avoid the influence of wire bonding on UIS failure. The experimental results indicate that the wire bonding introduced lateral resistance on the emitter metal pad of IGBT would cause the nonuniformity of resistance in paralleled IGBT cells and thus result in the current constriction in cells near bonding spots till failure. Therefore, the failure spots on the IGBT chip stick to the bonding spots.

Key words: insulated gate bipolar transistor (IGBT); unclamped inductive switching (UIS); failure analysis

0 引 言

绝缘栅双极型晶体管(IGBT), 作为开关管被广泛用于电力电子中、高功率系统中。IGBT 在实际应用过程中需要承受很高的电应力以及热应力, 这种情况在

电力电子模块硬开关应用中尤为明显, 因此 IGBT 必须具有较高的器件强度以及可靠性^[1-5]。如果器件在设计、制造或封装中的某一环节存在缺陷, 那么在电力电子应用中很有可能会发生相应的失效情况。反过来, 通过研究器件的失效情况则可以推测出该器件在

收稿日期: 2015-01-04

基金项目: 国家电网公司科技资助项目(SGRI-WD-71-14-005); 浙江省教育厅科研资助项目(Y201329864); 中央高校基本科研业务费专项资金资助项目(2014FZA4014)

作者简介: 李琦(1990-), 男, 福建宁德人, 主要从事电力电子器件测试与失效分析方面的研究. E-mail: longiseason@sina.com

通信联系人: 郭清, 男, 博士, E-mail: guoqing@zju.edu.cn

某种应用场合下的薄弱环节,从而提高器件可靠性、降低失效率。在众多失效模式当中,开关换流过程中的失效最为常见,因为开关过程中 IGBT 需要同时承受高电压以及大电流。与开通过程相比,关断过程更容易发生失效情况,因为 IGBT 开通时的少子存储使得关断更加缓慢,器件在关断时承受更多能量。对此,许多学者研究了在电感钳位电路下 IGBT 的关断失效,提出器件工作在大功率下会导致器件在开关过程中失效,填补了器件失效在 DC/DC 应用领域的空白^[6-7]。另一方面,IGBT 在电感无钳位(UIS)电路下的失效模式也被广泛研究,结果表明电流丝(Current Filament)是导致 IGBT 芯片从雪崩击穿到热击穿的失效原因^[8],并且 UIS 应力下的失效点服从随机分布^[9-10]。

本研究首先介绍 UIS 测试,并讨论 IGBT 芯片在 UIS 应力下的失效机理基于自主搭建的测试平台,进行 UIS 实验。基于 UIS 失效机理对实验结果给出初步理论解释,并提出封装改进方法。

1 UIS 测试及失效机理

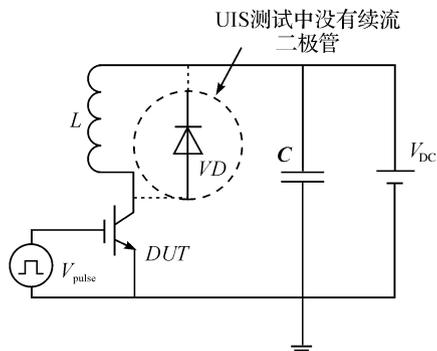
在电力电子大功率模块应用当中,IGBT 在大功率模块当中通常是硬关断,即理想情况下 IGBT 两端电压 V_{ce} 先升至母线电压,然后二极管才开始换流,IGBT 主电流 I_{ce} 逐渐换流至二极管当中。如果驱动电阻设置的过小、器件开关速度过快,则器件在换流时会产生很高的电流变化率 dI/dt ,另一方面硅二极管由于存在反向恢复问题,其反向恢复电流也会造成较高的 dI/dt 。很高的电流变化率会使得主电路中的杂散电感产生很高的电压,而 IGBT 两端承受的电压时母线电压与杂散电感电压之和。因此,过快的开关速度虽然会减少开关损耗,但会造成 IGBT 关断时产生电压尖刺,电压足够高的时候 IGBT 会进入雪崩击穿。如果 IGBT 所能承受的雪崩能量较小,则最后芯片会发生热击穿失效。

综上,IGBT 芯片的雪崩耐量,即一次性能承受的最高雪崩能量,是衡量芯片强度以及可靠性的重要参数。

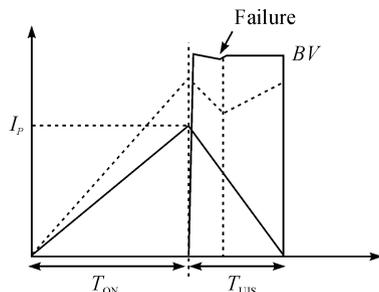
1.1 UIS 测试

在 IGBT 芯片出厂之前一般都需要做雪崩耐量的测试以确定该芯片能够承受多少雪崩能量而不损坏,电感无钳位电路(UIS)则是用来测试芯片雪崩耐量的标准电路。笔者根据 UIS 测试实验的结果,对 IGBT 芯片在雪崩状态下的失效进行分析研究,对于 IGBT 强度以及可靠性的提升有着重要参考价值。

UIS 测试可以模拟器件关断过程中的高压大电流的应力状态,使被测试的 IGBT 进入动态雪崩过程。通过 UIS 测试可以知道 IGBT 能承受的最大雪崩能量。器件测试的电路拓扑如图 1(a)所示。待测 IGBT 为 DUT(Device under Test),如果该拓扑中有续流二极管 VD ,则为电感钳位电路,可用作单脉冲或者双脉冲的动态测试,如果拓扑中没有二极管(二极管开路)则为电感无钳位电路,即 UIS 电路。UIS 测试的电压与电流波形如图 1(b)所示。实线波形表示 IGBT 在 UIS 测试中成功关断,虚线波形则表示 IGBT 在 UIS 测试中失效,失效时刻已在图 1(b)中标记出, I_p 表示最大关断电流, BV 表示雪崩击穿电压。



(a) UIS测试电路示意



(b) UIS测试电流/电压波形(实线为正常关断,虚线为失效情况)

图 1 UIS 测试的电路拓扑与波形

如图 1(b)所示,在 $t=0$ 时刻开通 IGBT,电源 V_{DC} 通过 IGBT 回路对电感 L 进行充电,电感电流线性上升,当电流达到预期值 I_p 时,将驱动信号降为 0 V ,试图关断 IGBT。IGBT 的栅极电压从开通值 $V_{ge(on)}$ 下降至米勒平台 $V_{ge(miller)}$,之后电感电流开始对 IGBT 的结电容 C_{rss} 进行充电, V_{ce} 上升。由于 UIS 电路中的电感没有反并联续流二极管,IGBT 的端电压 V_{ce} 在到达母线电压 V_{DC} 后电流并不会从 IGBT 转移至续流二极管,而是仍经过 IGBT 并向结电容充电。IGBT 的端电压 V_{ce} 一直上升到雪崩电压,通过 IGBT 的电感电流为雪崩电流。在动态雪崩状态下 (T_{UIS} 时间段),电感的能量会通过 IGBT 释放掉,因此电感电流会逐渐下降。当电感电流下降至 0 A 时,如果 IGBT 未被热击穿,则

电流归零后 IGBT 结电容的能量将被释放至主回路中, V_{ce} 由动态雪崩电压 BV 下降至母线电压 V_{DC} 。如果 IGBT 在动态雪崩过程中失效, 则失效后一般为短路状态, 可视为导线, 电源通过主回路继续给电感充电, 电感电流在失效后不断上升。因此 UIS 测试设备应该有保护电路以防止电流超限。

1.2 UIS 失效原理分析

IGBT 发生雪崩击穿时, 动态雪崩电压受电流密度影响: 电流密度的上升会使得在集电极基极结中等效的空间电荷密度上升, 会导致集电极基极击穿电压 BV_{ch0} 降低。IGBT 的雪崩击穿是由寄生 BJT (bipolar-junction-transistor) 在基极开路时的发射极-集电极击穿电压所决定的, 而该击穿电压与 BV_{ch0} 基本一致。因此某一区域电流密度的上升最终会导致该区域承受的雪崩电压降低, 该现象使得 IGBT 在雪崩情况下产生负的微分电阻。

IGBT 的雪崩击穿电压随着电流密度的增加而减小的特性相当于在动态雪崩击穿的过程中引入了一个正反馈: 如果电流密度在 IGBT 的某一区域 (或某一点) 高于其他地域, 则该区域的雪崩维持电压将会降低, 即该区域上的等效电阻更小, 反过来使得 IGBT 电流进一步聚集在该区域中 (因为电流趋向于流经电阻小的区域), 相应地, 更进一步减小了该区域的雪崩电压。根据上述正反馈的机理, 电流就会在该区域持续聚集, 直到该区域的电流密度达到最大值, 形成一个稳定的电流丝, 即在芯片的一个极小的区域 (可视为一点) 内形成极高的电流密度, 并在该点附近形成电流梯度分布逐渐降低。

由于电流丝流经的元胞的电压及电流都非常高, 当稳定的电流丝形成后, 这些元胞会被迅速加热。该区域被加热足够多的时间后, 该区域的温度会过高并触发 IGBT 在该区域的闩锁效应, 导致 IGBT 失效。失效表现为芯片某一区域烧毁并呈现短路。

2 UIS 实验以及结果分析

2.1 UIS 实验设置

UIS 实验电路中左上为 Lecroy 的电流探头, 左下为空心电感 L 以及瓷片电容 C , 下方为栅极驱动电路, 右上为驱动电路供电电源, 中间为焊接在陶瓷覆铜板 (direct bonding copper, DBC) 版上的待测 IGBT 芯片。通过采用空心电感可以防止发生电流饱和而短路, 但相应的, 为了达到相同的电感量, 空芯电感需要更大的体积以及更多的线圈, 实验采用骨架较大的泡沫胶带

作为内芯, 缠绕漆包线制成空心电感。考虑到电源功率有限, 无法在雪崩情况下提供足够高的功率, 因此并联电容提供额外的能量。当芯片失效时, 会形成短路, 从其中的拓扑来看, 电感 L 和电容 C 在失效后会形成 LC 振荡, 振荡会导致电容电压瞬间变为负值, 因此该电路不得使用电解电容在内的有极性的电容。

作为 DUT, IGBT 的额定容量不能太高: 一般来说, 芯片的额定容量越大, 芯片在单次测试中所能承受的雪崩能量越大, 因此想要使芯片达到失效必须提供更多的能量, 这对电源以及无源元件有着更高的要求; 并且 UIS 测试作为破坏性实验, 所需要的能量越高, 则其危险程度越大。另一方面, 额定容量过小则相应的电流等级也很小, 对应的元胞区面积也很小。由于失效点的面积是一定的, 过小的芯片面积不利于判断失效点所处位置。根据以上考虑, 本研究最终选取国际整流器 (international rectifier, IR) 公司生产的额定值为 1 200 V/35 A 的 IGBT 裸片。

在 IGBT 芯片进行封装的时候, 为了探求失效点的位置是否随机, 每一个芯片发射极的打线位置都完全随机。芯片封装焊线采用德国 HESSE 品牌下 BJ915 全自动高精度焊线机, 该焊线机被广泛用于国外电力电子器件大规模封装应用当中。

2.2 UIS 实验结果

UIS 实验的波形如图 2 所示。从图 2 中可以看出 IGBT 约在关断后 0.42 μs 的时候失效, 通过实验数据计算出本次实验芯片所承受的雪崩能量约为 2 J。

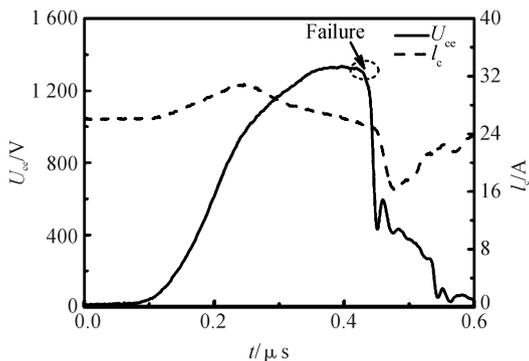


图2 UIS 实验波形图

V_{ce} —IGBT 两端电压, I_c —IGBT 电流

经过多次 UIS 实验后发现 IGBT 表面均不存在明显的失效点, 即失效点肉眼无法辨别, 由此可见最后失效时电流聚集在元胞区中极小的一个范围内。为了找到 UIS 测试后的失效点, 本研究将失效后的 IGBT 芯片的栅极以及发射极短路, 并利用电流源使 IGBT 集电极与发射极通过一定功率。在芯片通过电流的一瞬间, 由于失效点的等效电阻最小, 因此电流优先流过失

效处。由于电流集中在失效处,该处会产生很高的功率,从而失效处及其周围会因大功率产生的高温而烧掉,并以原始失效处为圆心进一步扩大失效范围直至肉眼可见。

2.3 结果分析

根据 Chih-Chieh Shen 与 Breglio G 等人^[9-10]研究的结论,UIS 测试后的失效点将随机分布于芯片上。这是由于 IGBT 芯片的元胞总是存在微小的差异,这些差异将会导致电流分布不均匀,并在雪崩状态下通过正反馈机制进一步形成电流聚集乃至电流丝,最后导致失效。该文献中的封装方式皆与本研究相同:采用传统的铝线键合封装引出 IGBT 电极。将 UIS 实验后的芯片按照 2.2 节所述方法寻找失效点,失效点分布的结果如图 3 所示。失效点已用虚线圈标记出。从图 3 可知 IGBT 芯片的失效点位于在铝线超声打线的键合点周围。通过对多个芯片进行 UIS 实验发现,失效后的位置均处于打线处附近,这表明失效点(电流丝)总是在打线点的周围形成。

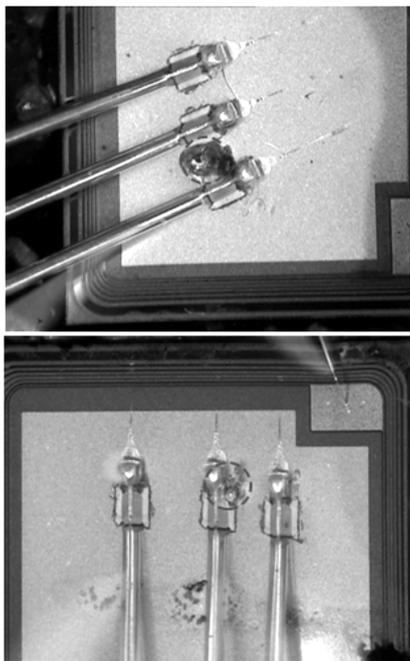


图 3 IGBT 失效点示意

在 IGBT 结构中,集电极一般设计在芯片的背面,而栅极和发射极的金属设计在正面的。在模块封装中,集电极通过焊接在 DBC 板上实现电气连接,而栅极和发射极的金属则是通过超声打线实现连接。这就意味着进入 IGBT 的电流必须经过铝线才能流出芯片。

IGBT 芯片内部电流路径示意图如图 4 所示。假设铝线(Bonding wire)打在芯片的右侧,将一块 IGBT

芯片上所有元胞按照离打线处(Bonding spot)距离的远近分为 3 个区域:cell1、cell2 与 cell3。其中 3 个箭头分别代表 cell1、cell2、cell3 的电流路径,从图中可知流经 cell2 的电流比 cell1 的电流要在金属电极板上流经更多的路程才能到达铝线键合处,从而在发射极(Emitter)的金属上产生横向压降,cell3 流经的路程最多,因此产生的横向压降也最大。因此 cell1 区域的等效电阻最小,cell3 区域的等效电阻最大。电流一开始更容易在 cell1 聚集。

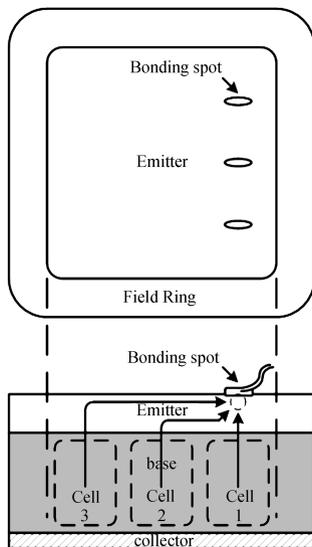


图 4 IGBT 芯片内部电流路径示意图

同理,即使打线位置完全随机,在一个 IGBT 芯片区域内依然存在离打线处较近以及较远的元胞,通过离打线点较远的元胞的那一部分电流就需要通过芯片发射极金属流过一定横向距离才能到达打线处,因此就会在芯片表面金属上产生横向电压降,造成整片 IGBT 中元胞的表面电势不均匀。从另一个角度看,这就使得超声打线点附近的元胞区的等效电阻比其他地方的小,电流更容易通过这些元胞。因此,电流会在铝线的键合点附近聚集,并在雪崩状态下触发正反馈,加速电流的进一步聚集,最后形成稳定的电流丝,使得该区域温度迅速上升,触发闩锁效应导致器件烧毁失效,并在失效后形成失效点。综上所述,失效处总是位于打线点附近。

2.4 封装改进

由以上分析可知,铝线点键合的传统封装方式会造成芯片并联元胞的发射极区域等效电阻不均匀,对 IGBT UIS 测试的结果造成影响,使得失效点最终分布于键合点附近。因此,从点键合改良为面键合的方式可以较好地避免发射极等效电阻不均的问题。

载带键合(Tape-bonding)是最常见的面键合封装

方式。通过采用铝载带引出 IGBT 的发射极可以使得元胞流出的电流在芯片内仅沿着纵向流出 IGBT 的发射极,示意图如图 5 所示。避免了图 4 中的元胞电流的横向流动,也就消除了发射极等效不均匀的问题。因此采用面键合可以有效降低封装对 UIS 失效的影响,理想情况下甚至可以使得 UIS 失效仅与 IGBT 芯片制作工艺本身相关。

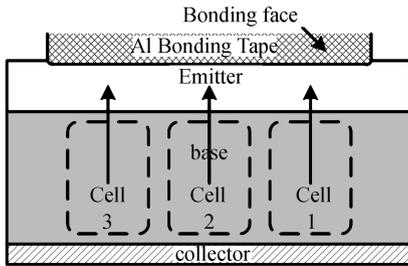


图5 载带键合封装下 IGBT 电流通路示意

3 结束语

本研究详细讨论了 IGBT 失效模式当中的关断过电压失效。首先介绍了 UIS 测试,UIS 测试被广泛作用 IGBT 的强度以及可靠性检测,接着描述了 UIS 失效的基本原理,最后设计实验进行了一系列 IGBT 芯片的测试并展示了实验结果。

本研究通过进行大量 UIS 实验,首次发现了 UIS 测试的失效处与封装铝线键合点的关系,并根据实验结果、结合 UIS 失效机理对该结果进行了详细解释,说明了电流更容易在靠近打线处的元胞区域流通并在雪崩正反馈条件下形成稳定的电流丝,触发门锁效应,最后导致失效。该结论对于芯片的封装环节有着重要的指导意义。

参考文献 (References):

[1] 张海亮,陈国定,夏德印. IGBT 过流保护电路设计[J]. 机电工程,2012,29(8):966-970.

- [2] 翟超,郭清,盛况. IGBT 模块封装热应力研究[J]. 机电工程,2013,30(9):1153-1158.
- [3] 方鑫,周维维,姚丹,等. IGBT 模块寿命预测模型综述[J]. 电源学报,2014,12(3):14-21.
- [4] 胡宇,吕征宇. IGBT 驱动保护电路的设计与测试[J]. 机电工程,2008,12(3):14-21.
- [5] 张海亮,陈国定,夏德印. IGBT 过流保护电路设计[J]. 机电工程,2012,29(8):966-970.
- [6] PERPINA X, SERVIERE J F, JORDA X, et al. Over-current turn-off Failure in High Voltage IGBT Modules Under Clamped Inductive Load [C]// 13th European Conference on Power Electronics and Applications (EPE). Barcelona: IEEE,2009:1-10.
- [7] BENMANSOUR A, AZZOPARDI S, MARTIN J, et al. Turn-off Failure Mechanism Analysis of Punch Through Trench IGBT Under Clamped Inductive Switching Operation [C]// 2007 European Conference on Power Electronics and Applications. Aalborg: IEEE,2007:1-10.
- [8] LU Jiang, TIAN Xiao-li, LU Shuo-jin, et al. Dynamic avalanche behavior of power MOSFETs and IGBTs under unclamped inductive switching conditions[J]. *Journal of Semiconductors*,2013,34(3):1-5.
- [9] SHEN Chih-chieh, HEFNER A R Jr, BERNING D W, et al. Failure dynamics of the IGBT during turn-off for unclamped inductive loading conditions [J]. *IEEE Transactions on Industry Applications*,1998,26(2):614-624.
- [10] BREGLIO G, LRACE A, NAPOLI E, et al. Experimental detection and numerical validation of different failure mechanisms in IGBTs during unclamped inductive switching[J]. *IEEE Transactions on Electron Devices*,2013,60(2):563-570.

[编辑:李辉]

本文引用格式:

李琦,徐弘毅,金锐,等. 封装键合点对 IGBT UIS 失效的影响研究[J]. 机电工程,2015,32(5):707-711.

LI Qi, XU Hong-yi, JIN Rui, et al. Influence of bonding location on IGBT's failure under UIS condition [J]. *Journal of Mechanical & Electrical Engineering*, 2015,32(5):707-711.

《机电工程》杂志: <http://www.meem.com.cn>