

高性能永磁交流伺服系统高精度电流采样实现^{*}

胡东轩, 史伟民^{*}, 鲁文其, 刘 虎, 王 玮

(浙江理工大学 机械与自动控制学院, 浙江 杭州 310018)

摘要: 电流采样作为交流伺服系统重要的反馈环节,其采样精度在很大程度上影响着整个伺服系统的精度,为了提高电流采样的精度,设计了高精度电流采样的硬件电路并进行了硬件调试,在此基础上进行了基于复杂可编程逻辑器件(CPLD)并采用 VHDL 语言控制 AD7655 的高精度电流采样软件设计,并在 Lattice Diamond 的软件环境下进行了软件仿真,最后进行了电流采样实验,将采样和转化后的数据精度进行对比后发现,电流采样的误差基本小于 0.7%。为了更加直观地观测电流采样结果,进行了 DSP 采样电流数据的波形显示。研究表明,该方法能实现交流伺服系统高精度电流采样。

关键词: 永磁交流伺服系统; 电流采样; AD7655; 复杂可编程逻辑器件; VHDL 语言

中图分类号: TP27; TH39

文献标志码: A

文章编号: 1001-4551(2013)07-0847-05

Implementation of high-precision current sampling for high-performance permanent magnet AC servo system

HU Dong-xuan, SHI Wei-min, LU Wen-qi, LIU Hu, WANG Wei

(School of Mechanical and Automatic Control, Zhejiang Sci-Tech University, Hangzhou 310018, China)

Abstract: Precision of the whole system is affected by the precision of current sampling which is the important feedback link of AC servo system. In order to improve the precision of current sampling, the high precision current sampling hardware circuit was designed and debugged, then software which used VHDL language to control AD7655 based on complex programmable logic device(CPLD) was designed, software simulation in Lattice Diamond software environment was established. Finally, current sampling experiment was tested. The data wave of current sampling was displayed to observe current sampling result directly. Comparing the accuracy of the sampled data and convert data, the experimental results show that current sampling error is less than 0.7%. The results indicate that this method can implement high precision AC servo system current sampling.

Key words: permanent magnet AC servo system; current sampling; AD7655; complex programmable logic device(CPLD); VHDL language

0 引 言

交流伺服系统以其高精度、高性能而广泛应用于各种场合^[1],对于 id = 0 的矢量控制方式,电流反馈、位置反馈以及速度反馈的精度在很大程度上影响了整个伺服系统的性能和精度^[2-9]。国内比较通用的方案是直接电流检测模拟信号传送到 DSP 中,虽然 DSP 自身带有 A/D 转换环节,但是其精度一般较低,如 TMS320F2812 的 A/D 转换通道精度只有 12 位,在实

际的使用过程中,A/D 的转换结果误差较大,如果直接将此转换结果用于控制回路,必然会降低控制精度。由文献[10]中检测得到的数据可以看到:在未加软件补偿算法情况下,实测 2812 的 ADC 通道分辨率只有 5 位,误差在 5% 左右,远不能满足高精度要求,在添加了复杂的补偿算法之后,虽然 2812 的 A/D 转换精度有所提高,但是增加了算法的复杂性。由此可见,采用直接将电流模拟信号送入 DSP 让其转化的方案在要求伺服系统高性能的场合不可取。

收稿日期:2013-03-04

基金项目: 浙江省自然科学基金资助项目(LY13E070005);浙江理工大学科研启动基金资助项目(1103823-Y);机械设计理论浙江省重中之重学科和浙江理工大学重点实验室优秀青年人才培养基金资助项目(ZSTUMD2011B005)

作者简介: 胡东轩(1988-),男,浙江湖州人,主要从事永磁交流同步伺服系统方面的研究. E-mail: hdx_zstu@163.com

通信联系人: 史伟民,男,教授,硕士生导师. E-mail: swm@zstu.edu.cn

目前高性能伺服系统多采用“DSP + CPLD”的结构, DSP 负责复杂的控制算法, CPLD 负责电流采样、位置速度采样、I/O 扩展等。并将采集的数据暂时存于 CPLD, 等到 DSP 需要某个数据时, 通过读取 CPLD 寄存器或者 CPLD 内部的 RAM 得到需要的数据。

本研究设计伺服系统高精度电流采样硬件电路, 利用 16 位高精度 A/D 转换芯片 AD7655, 基于 CPLD, 并采用 VHDL 语言控制 AD7655 来完成电流采样检测, 最后在 DSP 中显示。

1 总体方案设计

高精度伺服系统电流采样方案设计如图 1 所示。

由图 1 可以看到, 永磁同步电机的 A 相和 B 相定子电流 I_A 和 I_B 经过采样电阻, 得到相对应的差分电压信号 U_I-U 和 V_I-V , 这两个差分信号经过光耦隔离放大电路后输出两个放大的差分信号 $U_{out+} - U_{out-}$ 和 $V_{out+} - V_{out-}$, 两者再经过调理电路均变成 0 ~ 5 V 范围内的电压信号, 分别输入到 AD7655 的两个模拟输入通道 INB2 和 INB1, 由 CPLD 控制完成采样过程。

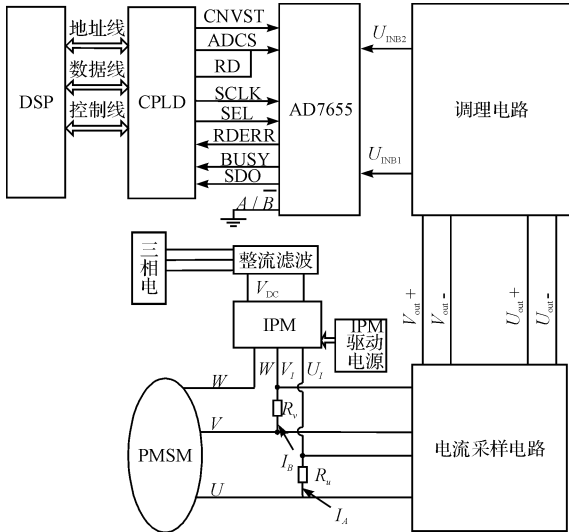


图 1 系统总体方案

$U_I(V_I)$ —逆变器输出 $U(V)$ 相电压; $U(V)$ —电机 $U(V)$ 相输入相电压; R_u 和 R_v —采样电阻

下面进行具体电流采样电路和调理电路的设计。

2 电流采样电路和调理电路设计

电流采样电路需要检测永磁同步电机定子的两相电流, 定子相电流采样电路如图 2 所示。经过 R_1 与 C_1 组成的滤波电路输入到光耦的差分电压输入端 V_{out+} 和 V_{out-} , 经过光耦 HCPL-7840 的隔离放大作用可得:

$$V_{out+} - V_{out-} = 8(V_{in+} - V_{in-}) \quad (1)$$

假设电机的 U 相电流为 I_A , 则 $I_A = (U_I - U)/R_2$, V_{out+} 和 V_{out-} 经过调理电路输出/输入到 AD7655 模拟信号输入端, 电流采样调理电路如图 3 所示。

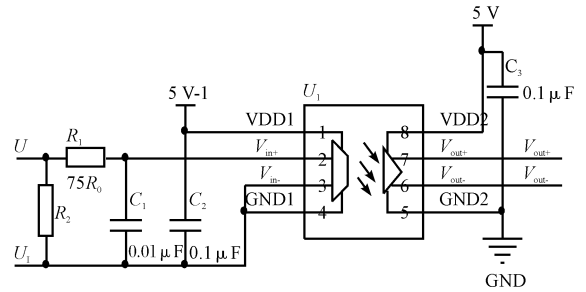


图 2 伺服系统电流采样电路

U_I —逆变器输出 U 相电压; U —电机 U 相输入相电压; R_2 —采样电阻

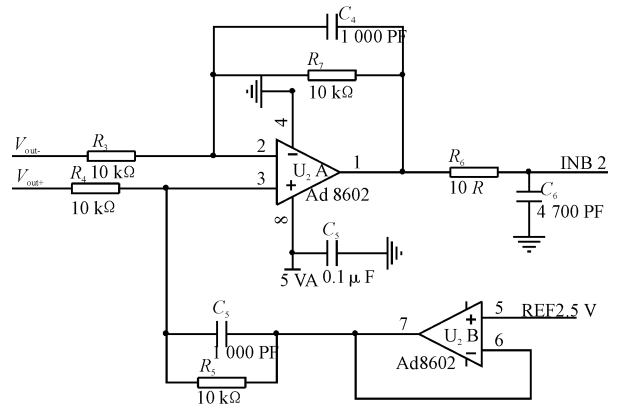


图 3 电流采样调理电路

由图 3 中电路及模拟放大器“虚短”、“虚断”的概念, 可以得出输入电压与输出电压幅值的关系为:

$$U_{INB2} = (V_{out+} - V_{out-}) + 2.5 \quad (2)$$

通过 R_6 与 C_6 组成的低通滤波电路滤波后输入 AD7655, 电压范围为 0 ~ 5 V。

由式(1,2)可得:

$$I_A = \frac{2.5 - U_{INB2}}{8R_2} \quad (3)$$

3 软件设计及仿真

AD7655 是 ADI 公司生产的具有 16 位精度的 A/D 转换芯片, 可以选择转换后的数据输出方式为并行方式或者串行方式, 本研究选择串行输出方式。

芯片启动转换如图 4 所示。

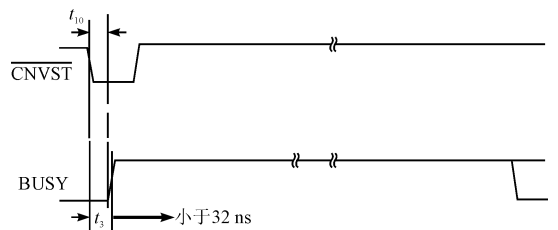


图 4 芯片启动转换时的时序

在 CNVST 的下降沿 BUSY 在 32 ns 左右由低电平变成高电平,表明器件进入转换状态。

AD7655 芯片转换完成读数据过程如图 5 所示。

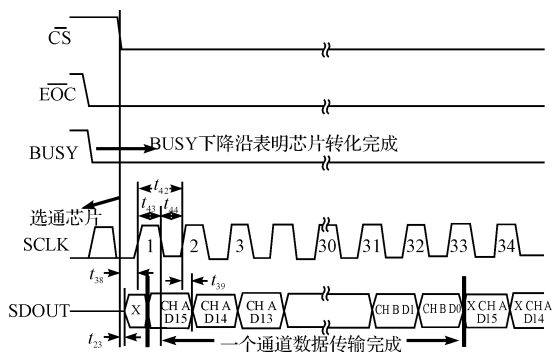


图 5 AD7655 转换完成串行从模式时序

由图 5 可以看到,BUSY 的下降沿显示 AD7655 转换完成,此时可以选通芯片读数据,且数据输出具有一定的延时。

一次完整的转换需要转换 INA1、INB1、INA2、INB2 共 4 个通道,INA1 和 INB1 属于 1 通道,INA2 和 INB2 属于 2 通道。选择先转换 1 通道或者 2 通道取决于 A0 的电平状态,数据转换完成之后,在 1 或 2 通道中,选择先读 A 通道还是 B 取决于 A/\bar{B} 的电平状态(图 5 中所示为先读 A 通道后读 B 通道的方式,即 $A/\bar{B} = 1$),本研究选择先读 B 通道后读 A 通道的方式,即 $A/\bar{B} = 0$ 。

基于 CPLD,本研究设计了采用 VHDL 语言控制 AD7655 电流采样的程序。

本研究中用到 AD7655 的 INB2 和 INB1 两个转换通道,因此需要在一定的时刻变换 1,2 转换通道。笔者选择在上次通道转换完成后开始读数据时变换通道。

CPLD 控制过程流程图如图 6 所示。

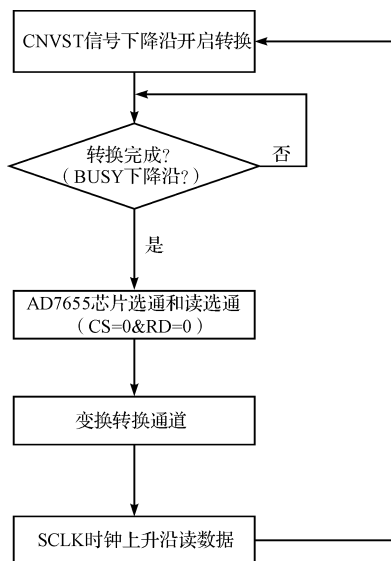


图 6 CPLD 控制转换程序流程图

部分设计程序如下。

实体定义:

```

entity ad7655 is
    port ( busy,rderr    :in std_logic;
          clk            :in std_logic;
          adcs,cnvst,sel,sclk : out std_logic;
          sdo           :in std_logic );
end ad7655;
  
```

结构体定义:

```

architecture behave of ad7655 is
    type states is (st0,st1,st2,st3,st4,st5,st6,st7,st8,st9);
    signal current_state, next_state : states := st0;
    .....
  
```

启动转换:

```

when st1 ≥ next_state ≤ st2; cnvst ≤ '0'; adcs ≤ '1';
    检测转换是否完成(检测 BUSY 的下降沿):
When st2 ≥ next_state ≤ st3; cnvst ≤ '1'; adcs ≤ '1';
    if busy = '1' then next_state ≤ st2;
    else next_state ≤ st3;
end if;
  
```

转换完成之后利用 SCLK 时钟上升沿读数据:

```

when st4 ≥ cnvst ≤ '1'; adcs ≤ '0';
    if clk'event and clk = '1' then
        if(count = 0) then count := 31; next_state ≤ st6;
        elsif(count > 0) then next_state ≤ st4; count := count-1;
        data ≤ sdo; end if;
        if rderr = '1' then next_state ≤ st5; count := 31;
    end if;
end if;
  
```

状态切换:

```

clock:process( clk)
begin
    if clk'event and clk = '1'
        then current_state <= next_state; sclk ≤ '1';
        elsif clk = '0' then sclk ≤ '0';
        end if;
end process;
  
```

本研究采用的 CPLD 为 Lattice 公司的 LCMXO1200。利用 Lattice 最新推出的软件 Lattice Diamond,笔者进行了 CPLD 控制下 AD7655 电流采样控制仿真。

仿真时序图如图 7、图 8 所示。

CLK 为 CPLD 系统时钟,SCLK 为读转化数据的同步时钟,两者频率均为 3.75 MHz,一个完整的转换周期中各信号的波形如图 7 所示。

通道 1 转换中和转换后各个信号的变化过程如图 8 所示,由图 8 可以看出:在 CNVST 的下降沿 BUSY 信号立即由低电平跳变为高电平,该过程小于 32 ns,再

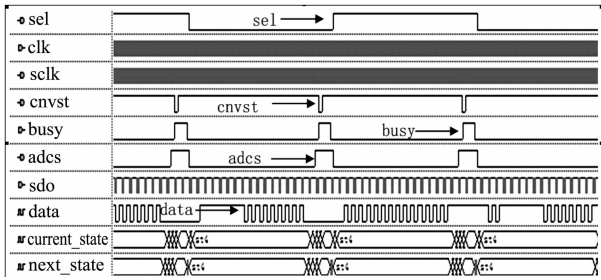


图 7 一个采样周期电流采样仿真波形

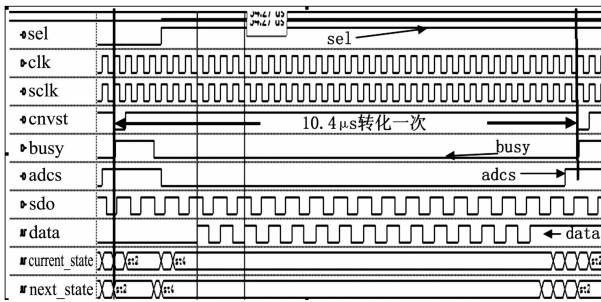


图 8 INB2,INA2 通道采样时各信号仿真波形

经过 $0.875 \mu\text{s}$,BUSY 跳变成低电平,表明芯片转化完成,ADCS 和 RD 在下一个时钟上升沿有效,经过数据延时进入读状态读取转换完成的数据。data 是为观察数据所设的寄存器。

4 实验及结果分析

4.1 CPLD 控制 AD7655 实验

实验中采用的 CPLD 系统时钟 CLK 与 AD7655 同步采样时钟 SCLK 频率均为 3.75 MHz ,各信号的波形如图 9 ~ 12 所示。

由图 9 可以看到在 CNVST 下降沿的时候,BUSY 立即上升,表明 AD7655 进入转换过程,在 BUSY 的下降沿表明转换完成。

如图 10 所示,A0 为 AD7655 的 1,2 通道转换信号。A0 = 1 时,转化 2 通道;A0 = 0 时,转换 1 通道。

INB2 输入 5.03 V 时的各信号波形如图 11 所示,由图 11 可以看到:在 BUSY 的下降沿,芯片转换完成,在下一个 CLK 时钟上升沿 ADCS 和 RD 同时选通,再经过一个 CLK 周期的数据延迟之后,每次在外部同步采样时钟 SCLK 的上升沿读数据,经过 32 个 SCLK 脉冲读完 2 通道(INB2,INA2)数据,此时只需要读 INB2 通道,因此只需要 16 个 SCLK 脉冲。

A0 = 0 时(即 1 通道转换)且 INB1 输入 2.5 V 时的各信号波形如图 12 所示。

按照上面的操作流程测出多组输入值与转换值如表 1 所示。

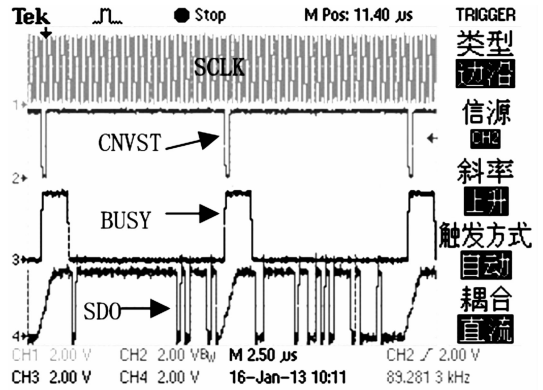


图 9 一个采样周期中完整实验波形

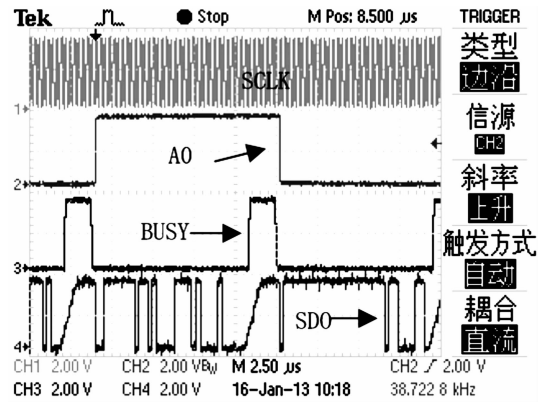


图 10 一个采样周期中 A0 变化实验波形

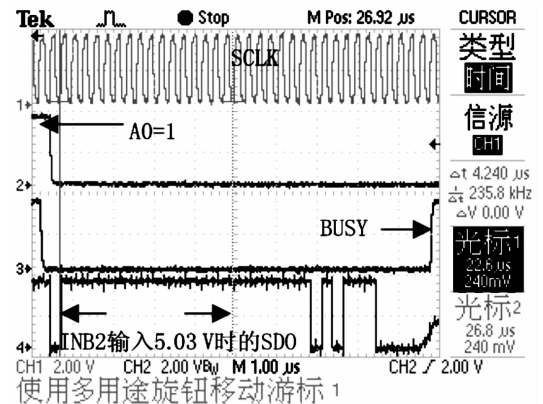


图 11 INB2 输入 5.03 V 的实验波形

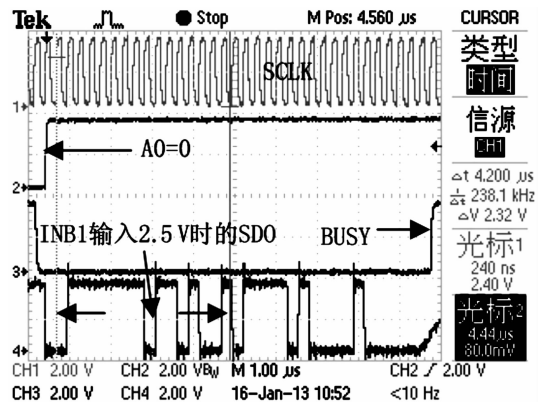


图 12 INB1 输入 2.5 V 时的实验波形

表1 INB2,INB1 输入电压与二进制转化结果

实测值/V		转换后的二进制值	
INB2	INB1	INB2	INB1
4.77	1.51	1111010101010001	0100110110100011
0	2	0000000000000000	0110011011001000
0.48	2.98	0001100001010011	1001100100010101
0.98	3.47	0011001000010101	1011001001010100
1.48	3.96	0100101111010100	1100101110100011
2.02	2.48	0110011110100011	0111111100011001
2.51	0.5	1000000101100110	0001100111000011
3.01	4	1001101100010110	1100110011111000
3.51	4.5	1011010011001000	1110011011010000
4.01	4.84	1100111010000010	1111100000111000

表1中转换后的二进制值为16位A/D转换值,由每次在同步采样时钟SCLK上升沿读SDO口电平状态所得,高电平为“1”,低电平为“0”。将“1111111111111111”代表5V,据此,可得转换公式:

$$U_{con} = \frac{X}{65536} \cdot 5 \quad (4)$$

式中: U_{con} —A/D转换后的电压, X —16位二进制转换值的十进制表示。

实际转化出的结果换算及误差如表2所示。

表2 AD7655 转换结果换算及误差计算

十六进制		转化成电压/V		误差/(%)	
INB2	INB1	INB2	INB1	INB2	INB1
F551	4DA3	4.79	1.51	0.42	0.00
0000	66C8	0.00	2.01	0.00	0.50
1853	9915	0.48	2.99	0.00	0.34
3215	B254	0.98	3.48	0.00	0.29
4BD4	CBA3	1.48	3.98	0.00	0.51
67A3	7F19	2.02	2.48	0.00	0.00
8166	19C3	2.53	0.50	0.80	0.00
9B16	CCF8	3.03	4.00	0.66	0.00
B4C8	E6D0	3.53	4.51	0.57	0.22
CE82	F838	4.03	4.85	0.50	0.21

由表2可以看到,INB2输入2.51V时的A/D转换误差为0.80%,输入3.01V时误差为0.66%,有多组转化数据误差均为0。考虑到实际检测输入电压时不可避免的误差,以及其他一些干扰信号,模拟输入的电压信号经过AD7655转换后的转换值较原来模拟信号误差小于0.7%,与DSP的ADC通道直接转换产生的5%的误差相比,前者精度提高明显,能满足交流伺服高精度电流采样的要求。

4.2 数据在DSP中的显示

DSP采用TI公司的TMS320F2812,CPLD作为DSP的外扩器件。扩展在DSP外部接口的0区。CPLD将AD7655的串行电流数据信号进行串并转换后分别存储在CPLD内部寄存器INB2,INA2,INB1,INA1中,对应寄存器的地址分别为0x2001,0x2002,0x2003,0x2004。DSP每隔20μs读一次CPLD,并显示

出数据波形。INB2输入0.1Hz正弦波形如图13所示,最大值为4.5V,最小值为0.5V的正弦波形经过转化和读取之后在DSP中的显示。

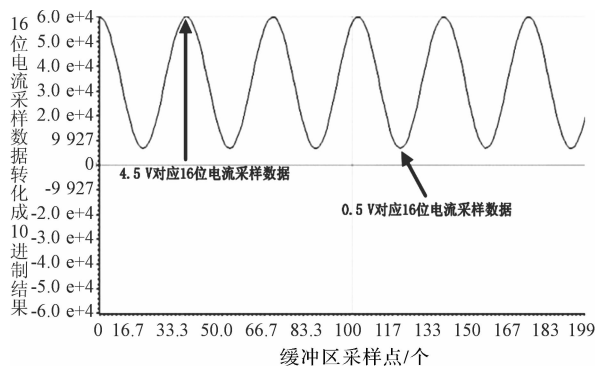


图13 INB2通道采样0.1Hz正弦波形

5 结束语

本研究设计了高性能伺服系统电流采样的硬件电路,在此基础上采用VHDL语言设计了软件程序,并进行了仿真,最后进行了电流采样实验。由输入与转换输出数据误差的分析可知:采用该方案,采样误差基本低于0.7%,由此可知该设计的精度能满足高精度电流采样需求,电流采样作为高性能伺服重要反馈环节,其精度的提高对于整个伺服系统性能和精度的提高具有重要的作用。

参考文献(References):

- [1] 阮毅,陈伯时. 电力拖动自动控制系统[M]. 4版. 北京:机械工业出版社,2009.
- [2] 张锐,白连平. 永磁交流伺服电机控制系统的研究[J]. 电气技术,2011(3):6-9.
- [3] 薛青,花银群,程广贵,等. 基于永磁同步电机的高性能交流伺服控制系统研究[J]. 科学技术与工程,2009,9(1):29-33.
- [4] 谢玉春,杨贵杰,崔乃政. 高性能交流伺服电机系统控制策略综述[J]. 伺服控制,2011(1):19-22.
- [5] 阮倩茹,王辉,施大发,等. 基于EtherCAT的高性能交流伺服控制系统设计[J]. 科技导报,2010,28(20):58-61.
- [6] 李新兵,张继勇. 高性能永磁同步电机交流伺服系统的研究[J]. 机电工程,2005,22(4):30-32.
- [7] 王中,黄声华,万山明. 高精度永磁交流伺服系统及其转速特性分析[J]. 微电机,2007,40(1):1-4.
- [8] 周兆勇,李铁才,高桥敏男. 基于矢量控制的高性能交流电机速度伺服控制器的FPGA实现[J]. 中国电机工程学报,2004,24(5):172-177.
- [9] 刘景林,马瑞卿,刘卫国. 基于高性能微控制器的超低速稀土永磁交流伺服系统[J]. 西北工业大学学报,2003,21(1):10-13.
- [10] 刘淑琴. 基于DSP2812AD转换的传感器数据采集与处理技术[D]. 大连:大连海事大学信息科学技术学院,2009:12-39.

[编辑:洪炜娜]