

基于 DDR2 存储器的 FIFO 设计*

占红武, 胥 芳

(浙江工业大学 机械工程学院, 浙江 杭州 310014)

摘要:针对许多应用系统对 FIFO 深度不断增长的需求与 SRAM 技术较低的存储密度之间的矛盾,提出了设计一套使用 DDR2 存储器,且在 FPGA 上实现 FIFO 访问控制的解决方案。设计了一个具有较低访问延迟的 DDR2 控制器自行实现 DDR2 存储器所需的自刷新、访存调度、地址译码等操作,通过并发访问和时钟同步,提供了与典型同步 FIFO 存储器兼容的访问接口。重点研究 DDR2 标准中用于支持并行访问和信号传输的若干特性,并给出了一种低访问延迟的 DDR2 控制器状态机表示。所设计的 FIFO 接口能够支持并行数据读写,具有固定的访问周期。研究和测试结果表明,FIFO 接口完全屏蔽了 DDR2 复杂的内部时序,能提供较高的访问速率,且深度可配置。

关键词:先进先出;DDR2;状态机;现场可编程门阵列

中图分类号: TP302.1

文献标志码:A

文章编号:1001-4551(2011)10-1241-05

Design of FIFO based on DDR2 SDRAM

ZHAN Hong-wu, XV Fang

(College of Mechanical Engineering, Zhejiang University of Technology, Hangzhou 310014, China)

Abstract: Aiming at the growing demand of FIFO depth and the lower storage density of SRAM technology in many applications, a FIFO access control solution for DDR2 in FPGA was proposed. The scheme was composed by a DDR2 controller with lower access latency, to achieve self-refresh, memory access scheduling, address decoding and other operations, and an access interface compatible with typical synchronous FIFO memories. Some special feature on DDR2 specification was focused on, and a DDR2 controller state machine with low-access latency was given. The FIFO interface was designed to support parallel data reading and writing in a fixed access cycle. The testing results indicate that the FIFO interface has a high access rate, and the depth of the FIFO system can be configured.

Key words: first input first output (FIFO); DDR2; state machine; field-programmable gate array (FPGA)

0 引 言

FIFO 是一种重要的数据缓冲机制,在系统设计中,以增加数据传输率、处理大量数据流、匹配具有不同传输率的系统为目的而广泛使用 FIFO 存储器器件。与普通随机访问存储器(RAM)结构不同,FIFO 存储器是一个先入先出的双口缓冲器,其中一个存储器的输入口,另一个是存储器的输出口,没有外接的

地址线,用户不能直接访问指定的单元。

单片 FIFO 器件主要有触发导向和零导向传输两种结构。触发导向传输结构的 FIFO 由寄存器阵列构成;零导向传输结构的 FIFO 则基于双口 RAM。这两种 FIFO 结构的存储阵列都是静态随机访问存储器 SRAM。应用系统通常要求 FIFO 有较高的数据率,较低且固定的访问延迟,以及简单的访问接口,SRAM 符合这些需求。

动态随机访问存储器(DRAM)是基于简单 1T +

收稿日期:2011-04-13

基金项目:浙江省教育厅科研资助项目(Y201018534);浙江工业大学特种装备制造与先进加工技术教育部重点实验室开放基金资助项目(2009EP029)

作者简介:占红武(1978-),男,浙江杭州人,主要从事嵌入式系统和邮政装备制造方面的研究. E-mail: jam@hz. cn

通信联系人:胥 芳,女,教授,博士生导师. E-mail: fantx@zjut. edu. cn

1C 结构的半导体存储器。DRAM 结构简单,存储密度高,因而单位比特成本远低于 SRAM。但是为保持存储数据稳定,DRAM 需要一套逻辑周期性地对电荷储存电容进行刷新以补充泄露的电荷,这一方面增加了存储器功耗,另一方面使接口逻辑复杂到必须使用专用的 DRAM 控制器。另外访问延迟也是 DRAM 的一个缺点^[1],DRAM 在响应访问之前,通常存在一个不确定的延迟。作为 DRAM 的一种,同步动态存储器 (SDRAM) 在有较大存储需求的 PC、服务器等领域被广泛使用。根据固态技术协会 (Joint Electron Device Engineering Council, JEDEC) 提出的规范,SDRAM 依据传输率已经历从 SDR (Single Data Rate), DDR (Double Data Rate) 到 DDR2^[2] 的提高,DDR3 规范也已形成。文献[2]以 FIFO 和 DDR2 控制器的商业 IP 为基础,设计了一个大容量异步 FIFO 接口。文献[3]使用独立 SDRAM 控制器,在 FPGA 上实现了 FIFO 接口。文献[4]实现了一个不关注延迟时间的 FIFO 设计。综合各类实现方案,在 DRAM 接口部分较多的是基于独立控制器或商业 IP,没有实现 FIFO 所需的访问延迟恒定,其接口与传统 FIFO 器件实际上不能严格兼容。

本研究以 DRAM 存储器件为基础,设计一套内部自含 DRAM 控制器,能够解决 DRAM 的自刷新、访存调度、访问延迟等问题,并对外提供通用 FIFO 控制信号的完整逻辑,在 FPGA 中实现综合,可以作为大深度 FIFO 器件应用的一种解决方案。

1 DDR2 技术与标准操作

1.1 DDR2 特性

DDR2 沿用 DDR 体系结构来获得高数据传输率^[7],工作频率在 400 MHz 时数据传输率可以达到 800 Mbps。DDR2 在第一代 DDR 技术基础上做了一些调整并采取了多项新技术以支持更快的时钟频率并获得更高的存储总线利用率。

DDR2 设定写延迟比读延迟少一拍,这样读事务和写事务的流水处理更容易实现,有利于得到更高的存储总线利用率。

DDR2 支持 Posted-CAS 操作,Posted-CAS 的采用也有利于提高总线利用率。在该操作中,CAS 信号(读/写命令)能够被插入到 RAS 信号后面的一个时钟周期里,并且可以在附加延迟 AL (Additive Latency,取值范围为 0~4)后面保持有效。

Posted-CAS 与 AL 通过大幅减少读写访问时命令

总线上 RAS 与 CAS 的碰撞现象,提高了命令和数据总线的效率,减少了数据传输之间的空闲周期,从而提高了实际的内存带宽。

DDR2 引入了 ODT (On-Die Termination) 技术,控制器可以根据需要控制 ODT 值。为防止数据线信号在传输终端的反射,使用 DDR 的 PCB 需要大量的终端匹配电阻。不同的 DDR 器件对匹配电阻的要求是不一样的,电阻的大小决定了数据线的信号比和反射率,匹配电阻小则数据线信号反射低但是信噪比也较低;匹配电阻高,则数据线的信噪比高,但是信号反射也会增加。因此 PCB 上的大量匹配电阻会在一定程度上影响信号品质。通过为存储器内建合适的匹配电阻,信号线上反射被有效抑制。ODT 特性使 DDR2 可以根据自己的特点内建合适的匹配电阻以抑制终端反射,有效提高高速信号的完整性。

1.2 基本指令

DDR2 延续对 SDR 和 DDR 基本指令的支持(如表 1 所示)。其中 SELF, SREX, PWDN, PDEX 4 个指令完成对 DDR 工作状态的配置,由 CKE 信号控制^[5]。

1.3 读写时序

DDR 内部按 Bank 组织存储单元,读写之前要先执行 ACT 操作激活相应页^[6]。同一 Bank 中,只能有一页处于激活状态,当要读写此 Bank 中其他页的时候,必须先用 PRE 命令关闭处于激活状态的页,然后用 ACT 命令打开需要操作的页。发送 ACT 命令时地址线上应该送出待读写的行地址,这样就能打开需要行地址所指定的页。

表 1 DDR 基本指令

操作	符号	CSn	RASn	CASn	WE _n	CKE
不选择	DSEL	H	X	X	X	H
空操作	NOP	L	X	X	X	H
读操作	READ	L	H	L	H	H
写操作	WRIT	L	H	L	L	H
传输终止	BST	L	H	H	L	H
行激活	ACT	L	L	H	H	H
自动刷新	REF	L	L	L	H	H
预充电	PRE	L	L	H	L	H
写模式寄存器	MRS	L	L	L	L	H
进入自刷新	SELF	X	X	X	X	↓ *
退出自刷新	SREX	X	X	X	X	H
进入掉电	PWDN	X	X	X	X	↓
退出掉电	PDEX	X	X	X	X	H

注:CKE 信号在前一个 clock 上升沿的逻辑状态为 H,当前 clock 上升沿的状态为 L。

DDR 器件的读操作和写操作都有严格的时序约

束,一个数据突发长度(Burst Length)为 8 的写操作时序如图 1 所示。其中:

t_{RCD} (RAS to CAS Delay):从 ACT 命令到 WRIT 命令的最短时间;

t_{RAS} (Row Active Time):从 ACT 命令发出到发出 PRE 命令的最短时间;

t_{RP} (Row Precharge Time):从发出 PRE 命令到 ACT 命令之间的最短时间;

t_{WR} (Write Recovery Time):从数据送出后到允许发送 PRE 命令之间的最短时间;

t_{DQSS} (DQS Setup Time):从 WRIT 命令发送后到将 DQS 和 DQ 送到总线之间的最短时间;

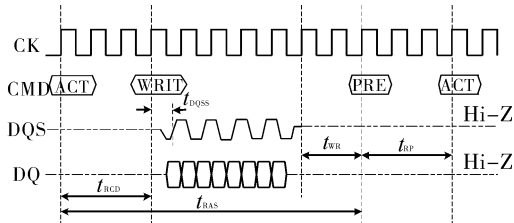


图 1 DDR 写操作时序

2 低延迟 DDR2 控制器设计

2.1 设计原则

访问延迟是 DRAM 与 SRAM 最重要的差异之一。FIFO 机制不能容忍不可预测的数据延迟,一个 FIFO 读或写周期一旦发起,必须能够在固定的时间内结束。这就要求对 DRAM 的操作具有尽可能小的延迟。

DDR2 具有一些新特性支持并行操作,有利于降低访问延迟。多体技术和行缓冲技术能加速 DDR2 对多个访存事务的并发处理。DDR2 访存时在读写命令前插入 Active 命令。Active 命令时地址线给出了此次访存事务要访问的 BANK 和 ROW 地址,而读写命令时地址线则给出了此次访存事务要访问的 BANK 和 COLUMN 地址。具体数据访问时,指定 BANK 与 ROW 中的数据首先被读取到 ROW 缓冲中,然后再从指定的 COLUMN 位置处开始进行读或写的突发访问。DDR2 规定了读延迟、写延迟、刷新、Active 命令、读写命令以及不同 BANK 的 Active 命令等之间具体时序。本研究充分利用多体技术和行缓冲技术所提供的多访存事务并发支持,对降低存储器访问延迟、提高接口数据率有重要意义。

2.2 模块划分

控制器模块结构如图 2 所示,控制器由寄存器控制模块、访存控制模块、数据通道模块、时钟模块、

DDR2 接口模块以及线性地址映射模块构成^[6]。

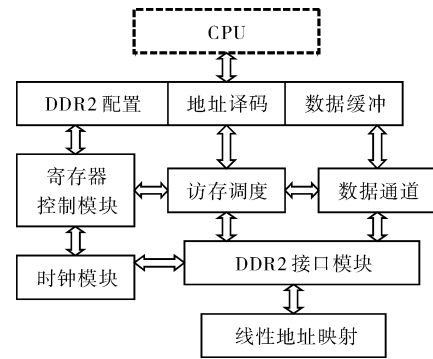


图 2 控制器模块结构

寄存器控制模块包括 3 个子模块,分别用于产生存储器初始化序列逻辑、自检逻辑以及控制寄存器的访问逻辑。数据通路模块实现对存储器读写数据的输入/输出控制。DDR2 接口模块实现了存储器地址命令和数据的收发。时钟模块基于 PLL (Phase Locked Loop) 电路,负责生成 DDR 存储器和各模块所需频率和相位的时钟脉冲。线性地址映射模块抽象出一个与 DDR2 技术细节无关的一维地址结构以支持 FIFO 访问。

2.3 初始化和工作模式状态机

上电复位后,控制器按照 DDR2 规范,经过预充电、设置模式寄存器、启动自动刷新等操作,初始化流程到 OP_WAIT 状态结束(如图 3 所示)。其中 INIT_ODT 状态执行 ODT 参数配置。初始化结束后工作模式转换和对 DDR 的读写操作也被允许^[7-9]。

各种工作模式和读写状态的转换过程如图 4 所示。各状态转换操作依据 DDR2 规范设计,在存储器退出掉电状态(PDREF)后,控制器转向重新初始化。

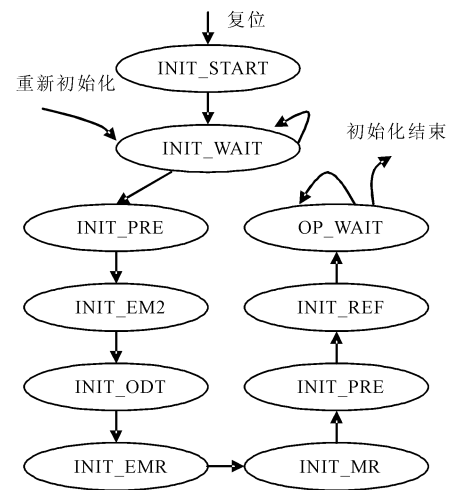


图 3 初始化状态机

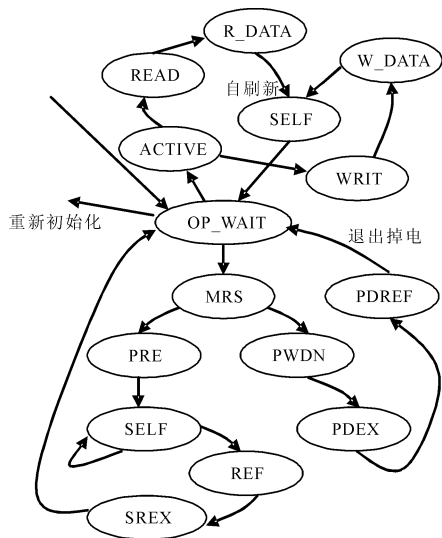


图 4 模式转换和读写状态机

3 同步 FIFO 接口

DDR2 具有较高的存取访问速率,本研究设计的控制器充分利用了 DDR2 标准中有关并行访问和信号匹配的特性,能够获得较低的访问延迟。在此基础上设计的同步 FIFO 接口如图 5 所示。

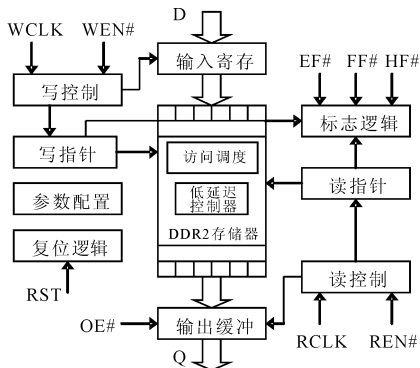


图 5 同步 FIFO 功能结构

图 5 中的参数配置模块根据 DDR2 SDRAM 颗粒的参数设定 FIFO 接口的深度和宽度, FIFO 的宽度与存储器数据位宽一致。WCLK, RCLK, WEN#, REN# 分别是读写时钟和读写使能; EF#, FF#, HF# 分别是空、满、半满标志。访问调度逻辑是同步 FIFO 接口的核心。一般意义上的 FIFO 器件基于触发导向结构和零导向传输结构,但是 DDR2 SDRAM 是单端口存储器,即不可能实现内部移位已无法提供两套读写逻辑。访问调度逻辑以时分复用器件总线方式满足并行读写需求(如图 6 所示)。当检测到 DDR 访问冲突时,本研究自动调整读写时钟回避访存冲突。当读写请求同时产生时,本研究优先执行读操作。

以时分复用方式解决 FIFO 的并行读写冲突是以

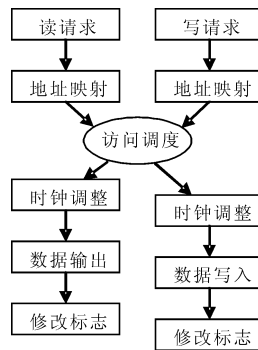


图 6 DDR2 总线时分访问

降低 FIFO 接口的访问速率为代价的。本研究考虑到与传统 FIFO 器件接口的兼容,设计中规定读写时钟频率减半以确保一个写(读)周期中插入一个完整的读(写)操作不会影响接口时序的一致性。FIFO 同步接口写时序如图 7 所示,图中的数据建立时间 t_{DS} 要求早于 WCLK 下降沿也是对这一设计方法的反映。

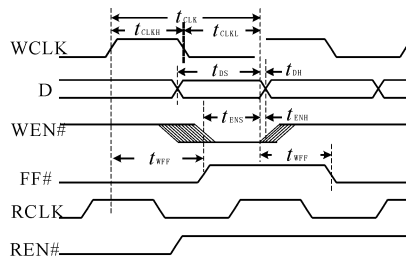


图 7 FIFO 同步接口写时序

t_{WFF} —从写时钟到满标志响应的时间; t_{DS} , t_{DH} , t_{ENS} , t_{ENH} —数据线信号和 WEN#信号要求的建立和保持时间。

4 性能评测

控制器在 ALTERA 的 Arria V GT 系列器件 5AGXB1 上进行了综合。5AGXB1 FPGA 使用 28-nm 工艺,具有 300 000 个等价 LE。综合后,整个设计共消耗 6 022 个 LE, 76 个引脚,以及 3 个内置的 PLL。功能仿真通过。

访问测试时,本研究使用 333 MHz 时钟操作容量为 1 GB 的 DDR2 颗粒 K4T1G083QB-GCE6。图 7 中的 $t_{CLKH} = t_{CLKL} = 22 \text{ ns}$, 与常用同步 FIFO 器件速度相当,略低于高性能器件指标。FIFO 宽度被配置成与存储器颗粒位宽相同,通过使用多个颗粒可以扩展宽度。按 32 位宽度计算,数据率约为 90 MB/s。

5 结束语

一些应用领域对 FIFO 深度的不断增长的需求与传统 FIFO 器件存储密度及每比特成本之间的矛盾日益突出。作为一项高速存储器工业标准, DDR2

SDRAM 具有较高的存储密度和访问速率,在 PC 和服务端系统中已经有广泛的应用。但是作为一种动态存储器,DDR2 通常需要使用控制器以解决复杂的内部控制,难以在嵌入式系统中直接应用。

本研究通过对 DDR2 技术标准和调度策略的分析,充分利用 DDR2 的并发访问特性,设计了一个具有低访问延迟特性的 DDR2 控制器,并在此基础上实现了一个同步 FIFO 接口。该设计在 FPGA 器件中通过了功能验证,测试结果表明,该设计具有与基于 SRAM 的传统 FIFO 器件一致的接口时序,数据率较高,宽度和深度可根据 DDR2 颗粒配置。

参考文献 (References):

[1] LIN W F, REINHARDT S K, BURGER D. Reducing DRAM Latencies with an Integrated Memory Hierarchy Design [C]//Proceedings of the 7th International Symposium on High-Performance Computer Architecture. Monterrey: [s. n.], 2001:301-312.

[2] 徐欣,周舟,李楠,等.基于 DDR2 SDRAM 的高速大容量异步 FIFO 的设计与实现[J].中国测试,2009,35(6):34-36.

[3] 孙红胜,岳春生.用 DRAM、FPGA 实现大容量 FIFO 存储器[J].信息工程大学学报,1997,16(3):38-40.

[4] 刘少华,陈明义.一种高性能 DDR2 控制器的设计与实现[J].信息技术,2009,9(1):95-97.

[5] 夏军,庞征斌,李小芳,等.一种高性能 DDR2 控制器的设计与实现[J].计算机工程与科学,2010,32(7):62-63.

[6] JEDEC Solid State Technology Association. DDR2 SDRAM Specification[EB/OL]. [2011-04-01]. <http://www.jedec.org/sites/default/files/docs/JESD79-2f.pdf>.

[7] 朱炜,刘新宁.DDR SDRAM 控制器的设计与实现[J].电子器件,2009,32(3):592-595.

[8] 周亮,王娟,胡畅华,等.基于 Verilog HDL 的 DDR2 SDRAM 控制器设计[J].合肥工业大学学报:自然科学版,2010,33(8):1253-1255.

[9] 邓耀华,刘桂雄,吴黎明.高速 SDRAM 控制器的嵌入式设计[J].计算机工程,2010,36(16):216-218.

[编辑:李辉]

(上接第 1233 页)

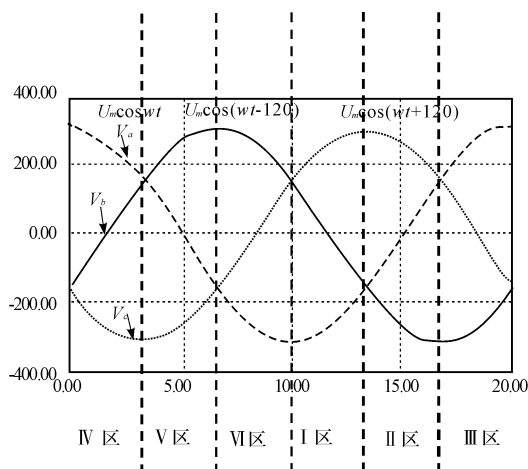


图 8 扇区分布示意图(高电平有效)

$$\begin{cases} T_a = \frac{T_s - T_1 - T_2}{2} \\ T_b = \frac{T_s + T_1 - T_2}{2} \\ T_c = \frac{T_s + T_1 + T_2}{2} \end{cases} \quad (15)$$

4 结束语

SVPWM 控制技术将逆变器和电机作为一个整体考虑,模型构造简单且容易数字化实现。与普通 SPWM 调制相比谐波分量小,电压利用率高。笔者详细分析了 SVPWM 控制技术的工作原理,对矢量作用时

间的求解进行了归类。以单增锯齿波为例,针对比较器中高、低电平有效的不同,指出扇区选择与切换点之间的不同,由分析可知,当改变比较器中电平有效状态时,扇区与切换点也跟随着发生了相应的变化。

参考文献 (References):

[1] BROEK H W V, SKUDELY H C, STRANKE G V. Analysis and realization of a pulse width modulator based on voltage space vector[J]. **IEEE Transactions on Industry Applications**, 1988, 24(1):142-150.

[2] HAVA A M, KERKMAN R J. Simple analytical and graphical methods for carrier-based PWM-VSI drives[J]. **IEEE Transactions on Power Electronics**, 1999, 14(1):49-61.

[3] ZHOU Ke-liang, WANG Dan-wei. Relationship between space-vector modulation and three-phase carrier-based PWM: a comprehensive analysis[J]. **IEEE Transactions on Industry Application**, 2002, 49(1):186-196.

[4] BLASKO V. Analysis of a hybrid PWM based on modified space-vector and triangle-comparison methods[J]. **IEEE Transactions on Industry Applications**, 1997, 33(3):756-764.

[5] 侯利民,李洪珠,王巍.空间电压脉宽调制 SVPWM 的原理及 DSP 的实现[J].辽宁工程技术大学学报,2007,26(6):898-900.

[6] 李峰,孙力,催乃政,等.空间矢量脉宽调制方法的研究[J].中国电机工程学报,2001,21(5):79-83.

[7] 李华,任永峰,安中全.简单快速 SVPWM 算法在网侧 PWM 变换器中的应用[J].电力科学与工程,2009,25(1):1-4.

[编辑:李辉]