

# 基于分段多项式的直接数字频率合成器设计

宋学良, 郭裕顺\*

(杭州电子科技大学 电子信息学院, 浙江 杭州 310018)

**摘要:**为提高直接数字频率合成器(DDS)系统的性能,将分段多项式逼近算法应用于优化相幅转换电路中,实现了基于此结构的直接数字频率合成器设计。提出了适合在流行的现场可编程门阵列(FPGA)平台上实现的电路结构方案,进行了硬件实验,给出了在 Altera Cyclone II 器件中的实现结果,并在性能和资源消耗方面与基于 ROM 查找表的方案作了比较。研究表明,由于避免了庞大的查找表,这一方案大大减小了电路面积,提高了系统性能。

**关键词:**直接数字频率合成器;相幅转换;分段多项式逼近;现场可编程门阵列

中图分类号: TN741

文献标志码: A

文章编号: 1001-4551(2011)09-1113-04

## Design of direct digital frequency synthesizer based on piecewise – polynomial approximation

SONG Xue-liang, GUO Yu-shun

(School of Electronics Information, Hangzhou Dianzi University, Hangzhou 310018, China)

**Abstract:** In order to enhance the performance of direct digital frequency synthesizer(DDS), a new technique to implement a DDS with the phase-to-amplitude conversion block using piecewise-polynomial approximation was presented. A design was presented to achieve in the popular field-programmable gate array(FPGA) platform. The hardware was tested, an Altera FPGA prototype implementation results were summarized, the performance and resource consumption were compared with the approach of the ROM lookup table architecture. The experimental results show that this approach achieves better performance, and it reduces the circuit area through avoiding huge loopup table.

**Key words:** direct digital frequency synthesizer(DDS); phase-to-amplitude conversion; piecewise-polynomial approximation; field-programmable gate array(FPGA)

## 0 引 言

直接数字频率合成器(Direct Digital Frequency Synthesis, DDFS 简称 DDS)是随着数字信号处理和微电子技术的发展,在 20 世纪 70 年代诞生的一种频率合成技术,是一种从相位概念出发直接合成所需波形的全数字频率合成技术。在 DDS 系统中,相幅转换模块是关键部分,传统的基于 ROM 查找表的 DDS 要得到高精度的输出波形通常需要一个庞大的 ROM 查找表,这既占用较大的面积,又消耗较大的功率。为此,人们首先提出了一些 ROM 查找表压缩方法<sup>[1]</sup>,以减小 ROM 的规模。其次,认识到查找表的实质是完成

相位—幅度转换,又出现了“采用算术运算,根据给定的相位直接计算出波形的幅值,来完成相幅转换”的方法。根据相位来计算幅度有不同的方式,多项式逼近是较易用基本的电路乘加单元实现的方法。

本研究对采用分段多项式逼近的相幅转换电路进行研究,提出适合于在流行的 FPGA 平台上实现的电路结构方案,并以二阶分段多项式为例,给出在 Altera Cyclone II 器件中的实现结果,并与基于 ROM 查找表的方案进行比较。

## 1 相幅转换电路的实现方法

DDS 主要由相位累加器、相幅转换器、D/A 转换

收稿日期: 2011-03-07

作者简介: 宋学良(1984-),男,河南平顶山人,主要从事集成电路设计及 EDA 技术方面的研究. E-mail: shy253@126.com

通信联系人: 郭裕顺,男,教授,硕士生导师. E-mail: ysguo@hdu.edu.cn

器和低通滤波器 4 个模块组成,系统的输出频率  $f_0$  为:

$$f_0 = \text{FCW} \frac{f_c}{2^N} \quad (1)$$

式中:FCW—频率控制字,  $f_c$ —系统时钟频率,  $N$ —相位累加器的位宽。

相幅转换电路基本的实现方法是基于 ROM 查找表结构的,用波形的一组采样值组成一个查找表,存入 ROM 存储器,然后根据相位累加器的输出从 ROM 查找表中读取数据,产生对应信号的数字序列,再经 D/A 转换器转换为阶梯模拟电压波形,最后由低通滤波器将其平滑为连续的正弦波波形输出。在这种基本的实现方案中,查找表的规模与字长决定了 DDS 输出波形的质量。高质量的输出波形需要高精度、大规模的查找表,使电路实现付出高昂的代价。为此,人们研究提出了很多改善相位—幅度变换模块结构的方法,这些方法大致上可以分为 3 大类:ROM 查找表压缩算法<sup>[2]</sup>;角度旋转算法;多项式逼近法。

首先利用正弦函数的对称性将查找表压缩到 1/4,即对应于第一象限中,当然这需要额外的逻辑来修正输出。在正弦函数对称法的基础上,常用的压缩方法有:正弦—相位差算法、三角近似法(包括 Sunderland 结构, Nicholas 优化的粗细表结构)。正弦—相位差算法是用  $\sin(\pi x/2) - x$  项去取代 ROM 表中的  $\sin(\pi x/2)$ ,这样的结果可使 ROM 表幅度值减小 2 位,而在输出端口仅仅需要额外一个加法器即可。三角近似法是把一个大 ROM 表分成两个较小的 ROM 表,从而进一步压缩 ROM 的容量。

由于查找表的实质是完成相位—幅度转换,又采用算术运算的方式来替代查找表,即设计专门的运算电路,根据给定的相位直接计算出波形的幅值,来完成相位—幅度转换,这类方法又可分为角度旋转算法和多项式逼近法。其中角度旋转算法包括 CORDIC<sup>[3-4]</sup> 算法及其改进算法。多项式逼近法中包括:线性插值法<sup>[5]</sup>、Taylor 级数展开及其他类型的逼近法<sup>[6]</sup>等。本研究采用分段多项式逼近算法。

## 2 分段多项式逼近法

本研究用分段多项式去近似第一象限幅度值  $\sin(\pi x/2)$  :

$$f(x) = f_k(x), \quad k = 1 \cdots s \quad (2)$$

$$f_k(x) = \sum_{i=1}^d c_{ki} (x-x_k)^i \quad (3)$$

其中:  $x_k \leq x < x_{k+1}$ ,  $k = 1 \cdots s, x_1 = 0, x_{s+1} = 1$ ,  $d$  为多项式的阶次,  $x \in [0, 1]$  等分为  $s$  段,在各段区间内设法用一个多项式  $f(x)$  去近似  $\sin(\pi x/2)$ 。

分段多项式逼近的基本问题是如何确定  $[0, 1]$  区间划分的段数以及每段对应多项式的阶次与系数。

段数与系数的确定则要依据某种最优逼近准则, DDS 通常考虑的指标包括:最大绝对误差(MAE)、均方误差(MSE)、信噪比(SNR)、无杂散动态范围(SFDR)等,不同的性能指标考虑的侧重点不同,所用的逼近算法也不同。本研究以最大化 SFDR 为目标确定各系数。

本研究用函数  $g(x)$  表示 DDS 输出,则  $g(x)$  的周期  $T = 4$ ,且是奇对称函数,因此其傅里叶级数展开只包含  $\sin$  项:

$$g(x) = \sum_{n=1}^{\infty} b_n \sin\left(\frac{n\pi x}{2}\right) \quad (4)$$

$g(x)$  同时为奇谐函数,故其偶次谐波系数为零,奇次谐波系数  $b_n$  为:

$$b_n = \frac{4}{T} \int_0^{\frac{T}{2}} f(x) \sin\left(\frac{2\pi n x}{T}\right) dx = 2 \int_0^1 f(x) \sin\left(\frac{n\pi x}{2}\right) dx, \quad n \text{ 为奇数} \quad (5)$$

将式(2)代入式(5)得:

$$b_n = 2 \sum_{k=1}^s \int_{x_k}^{x_{k+1}} f_k(x) \sin\left(\frac{n\pi x}{2}\right) dx = \sum_{k=1}^s \sum_{i=0}^d a_{ni}^{(k)} c_{ki} \quad (6)$$

其中:

$$a_{ni}^{(k)} = 2 \int_{x_k}^{x_{k+1}} (x-x_k)^i \sin\left(\frac{n\pi x}{2}\right) dx \quad (7)$$

进一步化简,最终可得到一个  $b_n$  关于各分段多项式系数  $c_{ki}$  的线性方程组。理想的逼近是  $b_1 = 1, b_2 = b_3 = \cdots = 0$ 。实际中只能逼近有限次谐波,得到关于多项式系数的一个线性方程组:

$$A \cdot c = b \quad (8)$$

其中,  $c$  是由系数  $c_{ki}$  组成的矢量,  $b = [1 \ 0 \ \cdots \ 0]^T$ 。本研究取足够高的谐波次数使方程成为超定的,施加不同的近似准则可得出不同的解。近似准则根据笔者设计 DDS 的需要而定。如要使 SFDR 最大,要求方程的最大最小解;要使 SNR 最大,则要求方程的最小二乘解<sup>[7]</sup>。

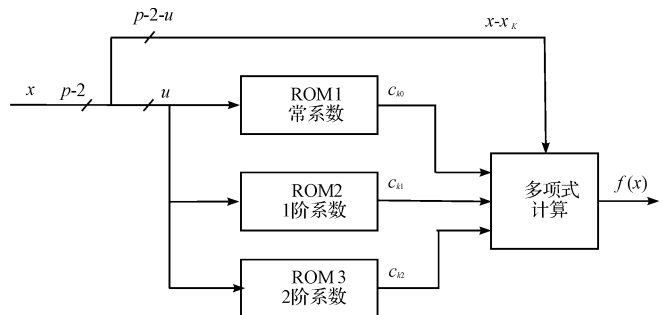


图 1 相位幅度转换电路结构图

本研究确定多项式的段数与系数后,即可考虑相幅转换电路的实现。考虑到逼近效果与实现的复杂度,阶次一般不超过 3 阶。对 2 阶的分段多项式,相幅转换电路结构如图 1 所示,主要由存储多项式系数的 ROM 和多项式计算模块组成。多项式的段数一般取

作 $2^u$ ,便于系数的检索。

### 3 FPGA 实现

下面本研究给出 2 阶分段多项式在 FPGA 中的实

表 1 系数  $c_{k0}, c_{k1}, c_{k2}$

$k$	1	2	3	4	5	6	7	8
$c_{k0}$	0	0.098 0	0.195 1	0.290 3	0.382 7	0.471 4	0.555 6	0.634 4
$c_{k1}$	1.572 4	1.564 8	1.542 1	1.504 6	1.452 7	1.386 7	1.307 3	1.215 4
$c_{k2}$	0.060 5	0.181 0	0.299 8	0.415 6	0.527 5	0.634 3	0.734 9	0.828 5
$k$	9	10	11	12	13	14	15	16
$c_{k0}$	0.707 1	0.773 0	0.831 5	0.881 9	0.923 9	0.956 9	0.980 8	0.995 2
$c_{k1}$	1.111 8	0.997 5	0.873 5	0.741 2	0.601 7	0.456 4	0.306 7	0.154 1
$c_{k2}$	0.914 1	0.991 0	1.058 2	1.115 3	1.161 6	1.196 8	1.220 4	1.232 3

在 FPGA 实现时,为了节省资源,多项式按下式计算:

$$f_k(x) = c_{k0} + [c_{k1} - c_{k2}(x - x_k)](x - x_k) \quad (9)$$

从式(9)可以看出需要 2 个减法器,2 个乘法器,1 个加法器,与直接实现相比节省一个乘法器。具体计算前要对参数进行相应的量化: $x \in [0, 1]$ 对应的量化位宽为  $p - u$ ,因此扩大  $2^{p-2}$  倍; $x - x_k$ 对应的量化位宽为  $p - 2 - u$ ,因此  $x - x_k$ 扩大  $2^{p-2-u}$  倍。同时为了充分利用 Cyclone II 中  $9 \times 9$  的硬件乘法器资源,在该设计中取  $p = 15, u = 4$ ,保证  $p - 2 - u = 9$ 。

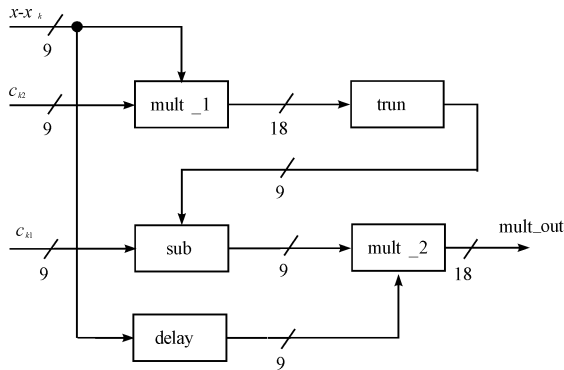


图 2 乘法器模块框图

$[c_{k1} - c_{k2}(x - x_k)](x - x_k)$  模块的实现框图如图

现结果。首先采用 Matlab,按 SFDR 最大准则对上述方程组编程求解,得出系数计算结果。段数  $s = 2^u = 16$  的系数值如表 1 所示。

2 所示。本研究先由 9 位乘法器模块 mult\_1 实现  $c_{k2}(x - x_k)$ ,通过 trun 模块截断后,由减法模块 sub 实现  $c_{k1} - c_{k2}(x - x_k)$ 。由于在 Matlab 中已验证  $c_{k1} - c_{k2}(x - x_k) > 0$ ,这里直接采用无符号数的减法。最后在 mult\_2 模块中与延时后的  $(x - x_k)$  相乘。

本研究计算出  $[c_{k1} - c_{k2}(x - x_k)](x - x_k)$  后,与  $c_{k0}$  相加,然后根据输出位宽做相应的截断,即可得函数  $f(x)$  的值。整个设计在 Altera 公司的 Quartus II 集成开发环境下完成,并下载到 Cyclone II 系列 EP2C8Q208C8 芯片上得到验证。最后本研究对此电路结构进行了模块化和参数化处理,使之具有一定的通用性,在改变分段段数和多项式阶次时只需要修改少量的参数即可实现。

为了说明这一方法的效果,分段数为  $S = 4, 8, 16$  的综合结果如表 2 所示,并与两种 ROM 查找表实现结果的比较。其中  $P$  为相位累加器截断后的位宽(作为 ROM 表的地址信号), $Q$  为系统输出信号的位宽。ROM 表里存放的数据对应于第一象限(即已经进行了 1/4 的压缩),数据的位宽为 11,最高位为符号位。SFDR 参数是在相同的频率控制字 FCW (FCW = 429 501)下,将 Quartus II 中仿真得到的波形文件转换为数据文件,导入 Matlab 中,经过计算得到的结果。

表 2 两种方法的结果比较

	$Q$	ROM 表/bits	消耗的逻辑单元(LE)	嵌入式乘法器 $9 \times 9$ /个数	SFDR/dBc	最高频率 $f_{max}/\text{MHz}$
本研究方法 ( $S = 4$ )	12	192	590	2	77.4	205.59
本研究方法 ( $S = 8$ )	12	384	590	2	82.03	181.65
本研究方法 ( $S = 16$ )	12	768	590	2	83.9	194.59
ROM 表 ( $P = 13$ )	12	$2\ 048 \times 11$	85	0	86.6	209.16
ROM 表 ( $P = 12$ )	12	$1\ 024 \times 11$	83	0	78.1	209.12

从表 2 中可以看出,随着多项式分段数的增加, SFDR 指标逐步增大,说明生成波形的质量提高,杂散减小。与采用 ROM 查找表的方法比较,本研究中的

方法显著减少了 ROM 表资源。在最高时钟频率相当时,要达到基本一致的 SFDR 指标(77 dBc ~ 78 dBc), ROM 查找表结构消耗  $2^{10} \times 11$  bits ROM 资源和 83 个

逻辑单元(LE),本研究方法消耗 192 bits ROM 资源和 590 个逻辑单元(LE)。

### 4 结束语

本研究介绍了采用分段多项式逼近算法实现 DDS 中相幅转换模块的方法,与传统的 ROM 查找表方法相比,可降低整个 DDS 系统占用的资源。本研究在 Quartus II 开发环境下完成了一个二阶分段多项式逼近的 DDS 设计,并在 Cyclone II 系列 EP2C8Q208C8 芯片上实现了验证、调试,在性能和资源消耗方面与基于 ROM 查找表的结构作了比较。同时对电路结构作模块化和参数化处理,使其具有一定的通用性。

#### 参考文献 (References) :

[1] ELSAI M, ELMASRY L M. An improved ROM compression technique for direct digital frequency synthesizers[C]//Proceeding of IEEE International Symposium Circuits and Systems,2002:437-440.

[2] CARO D,STROLLO A G. Reducing lookup-table size in direct digital frequency synthesizers using optimized multipartite table method[J]. **IEEE Transactions on Circuits and**

**System I:Regularpape**n, 2008,44(7):2116-2127.

[3] CURTICAPEAN F,PALOMAKI K,NIITTYLAHTI J. Quadrature direct digital frequency synthesizer using angle rotation algorithm[C]// Proceeding of IEEE International Symposium Circuits and Systems,2003:81-84.

[4] SUNG T Y, KO L T, HSIN H C. Low-power and high-SFDR direct digital frequency synthesizer based on hybrid CORDIC algorithm[C]//IEEE International Symposium Circuits and Systems,2009:249-252.

[5] LANGLOIS J,AL KHALILI D. Novel approach to the design of direct digital frequency synthesizers based on linear interpolation[J]. **IEEE Transactions on Circuits and System II: Analog and Digital Signal Process**, 2003,50(9):567-578

[6] ASHRAFI A, ADHAMI R, MILENKOVIC A. A direct digital frequency synthesizer based on the quasi-linear interpolation method[J]. **IEEE Transactions on Circuits and Systems I**,2010,57(4):863 - 872

[7] ASHRAFI A, ADHAMI R. Theoretical upperbound of the spurious-free dynamic range in direct digital frequency synthesizers realized by polynomial interpolation methods[J]. **IEEE Transactions on Circuits and Systems I**,2007,54(10):2252-2261. [编辑:李 辉]

(上接第 1108 页)

### 3.3 集约化管理

酒店前台的 PC 机和协调器节点相连,PC 机上的上位机软件对整个酒店房间内冰箱具有集约化管理功能,如对冰箱的制冷、开锁、LCD 显示等。并有将各房间信息汇总至数据库和实时显示的功能。软件界面如图 6 所示。



图 6 管理软件部分界面图

### 4 结束语

为了及时、方便地获取酒店房间内的数据信息,笔者研究开发了基于 ZigBee2007/PRO 协议栈的酒店冰箱计费管理系统,并已进入投产阶段。该系统具有成本低、安装维护方便、大网络节点等特点,非常适用于

酒店管理系统。经大量数据的测试,整个系统可以可靠工作,没有出现误操作状况,尤其以安装便捷、维护简单等优点而得到广泛的应用。

#### 参考文献 (References) :

[1] 卢文俊,冷 杉,杨建军,等. 基于 Modbus 协议的控制器远程监控系统[J]. 电力自动化设备,2003,23(6):54-56.

[2] 李 新,张 淳,张从力,等. 基于以太网的多路通信电源远程控制方案[J]. 重庆大学学报:自然科学版,2006,29(9):28-32.

[3] 张 莉. ZigBee 技术在物联网中的应用[J]. 电信网技术,2010,3(3):1-5.

[4] 齐 楠,韩 波,李 平,等. 基于 ZigBee 的智能家庭无线传感网络[J]. 机电工程,2007,24(2):20-22.

[5] 马 军. 一种基于 AODV 的多路径路由协议[J]. 计算机应用与软件,2010,27(3):219-221.

[6] 李文仲,段朝玉. ZigBee 2007/PRO 协议栈实验与实践[M]. 北京:北京航空航天大学出版社,2009.

[7] Texas Instruments. CC253x/4x Datasheet[EB/OL]. [2010-09-24]. <http://www.ti.com/cn/litv/pdf/swru191b.pdf>.

[8] GAO Mei-juan ,XU Jin. ZigBee Wireless Mesh Networks for Remote Monitoring System of Pumping Unit[C]// Proceedings of the 7th World Congress on Intelligent Control and Automation. Chongqing : [s. n. ], 2008:5901-5905.

[9] 吴光荣,全剑敏,章剑雄,等. 基于 ZigBee 技术的空调控制系统[J]. 机电工程,2009,26(7):11-13.

[编辑:李 辉]