

一种面积优化的内插滤波器的设计及实现^{*}

李 晶, 吴晓波^{*}, 赵津晨

(浙江大学 超大规模集成电路设计研究所, 浙江 杭州 310027)

摘要:为节省芯片面积,设计并实现了一种面积优化的内插滤波器,该滤波器适用于 Sigma-Delta 音频数模转换器。采用级联多级半带滤波器加采样保持电路的系统结构以降低硬件复杂度。同时为了减少硬件开销,对半带滤波器的结构进行了改进。实现时采用了正则符号编码(CSD)以进一步减少芯片面积。通过 Matlab 仿真得到了其滤波器系数,经 FPGA 平台验证了其功能。滤波器采用 TSMC 0.18 μm CMOS 工艺实现,核心芯片面积为 0.34 mm^2 。测试结果表明,芯片达到了设计指标,并且在面积上有一定的优势。

关键词:数模转换器;内插滤波器;半带滤波器;正则符号编码

中图分类号:TP391;TN713.7

文献标志码:A

文章编号:1001-4551(2011)07-0872-04

Design and implementation of area-efficient interpolation filter

LI Jing, WU Xiao-bo, ZHAO Jin-chen

(Institute of VLSI Design, Zhejiang University, Hangzhou 310027, China)

Abstract: Aiming at saving the chip area, an area-efficient interpolation filter for Sigma-Delta audio digital-to-analog converter(DAC) was designed and implemented. In an effort to reduce the complexity of the system, the interpolation filter was comprised of cascade halfband filters and a sample-and-hold stage. An improved structure of halfband filter was proposed to achieve the hardware efficiency. The canonic signed digital (CSD) representation was used to further reduce the area of the interpolation filter. The coefficients were attained from the Matlab simulation, and the correctness of the design was verified in FPGA. The cell area of the interpolation filter is 0.34 mm^2 in TSMC 0.18 μm CMOS process. The experimental results indicate that the proposed interpolation filter accords with the design specification, exhibiting area efficiency.

Key words: digital-to-analog converter(DAC); interpolation filter; halfband filter; canonic signed digital(CSD)

0 引 言

近年来,随着个人娱乐终端迅速普及,市场对于高性能的音频数模转换器的需求不断增大。相比于传统的奈奎斯特数模转换器, Sigma-Delta 数模转换器能在较低硬件开销的条件下,提供更高的分辨率、更低的失真^[1-4],这正是便携式音频应用所需要的。而 Sigma-Delta 数模转换器的芯片面积主要由其中的数字内插滤波器模块决定^[5],所以设计一个面积优化的内插滤波器对于整个 Sigma-Delta 数模转换器的实现具有重要的意义。

本研究在系统级设计一种应用于 Sigma-Delta 音频数模转换器的内插滤波器。通过对系统结构的合理选择和滤波器性能指标的优化分配来降低硬件复杂度,并着眼于系统中的半带滤波器,分别对半带滤波器的存储电路部分和组合逻辑电路部分进行面积优化。最后滤波器的功能经 FPGA 平台验证。该设计通过 Synopsys Design Compiler 软件综合实现。

1 内插滤波器的系统级设计

内插滤波器的主要功能是提升采样频率和抑制插

收稿日期:2010-12-24

基金项目:国家自然科学基金资助项目(60906012)

作者简介:李 晶(1981-),男,湖北黄石人,主要从事数模混合集成电路设计方面的研究. E-mail:LiJing@vlsi.zju.edu.cn

通信联系人:吴晓波,男,教授,博士生导师. E-mail:wuxb@vlsi.zju.edu.cn

值产生的镜像频谱^[6]。根据 Sigma-Delta 数模转换器系统设计的要求,内插滤波器将采样频率提高到过采样频率。本研究对 16 bit, 44.1 kHz 的音频输入信号进行了 128 倍的升采样。

1.1 内插滤波器的结构设计

由于升采样倍数较高,本研究如果用单级滤波器结构来实现,通带和过渡带相对于输出信号的奈奎斯特采样频率非常小。这就意味着单级滤波器的阶数会非常大。为了降低硬件复杂度,一般采用多级级联结构来实现高倍数升采样。

在综合考虑面积功耗等因素后,笔者选择级联 3 级半带滤波器加采样保持电路的结构来实现内插滤波器。半带滤波器是一种特殊的线性相位有限冲激响应滤波器。它的通带纹波和阻带纹波相等,通带和阻带相对于二分之一奈奎斯特频率对称^[7]。半带滤波器的系数近一半为 0,且系数具有偶对称性。由于系数为 0 的部分在运算过程中不消耗运算量,而系数对称部分可共享硬件,所以运算复杂度减少近 3/4。使用半带滤波器能有效地降低硬件开销。每级半带滤波器提供 2 倍的升采样。经过 3 级半带滤波器后,采样频率提高了 8 倍。此时后面升采样所产生的镜像频谱对滤波器通带的影响可以忽略不计。所以余下 16 倍升采样可以由一级采样保持电路实现,从而进一步减少了芯片面积。内插滤波器的系统结构如图 1 所示。

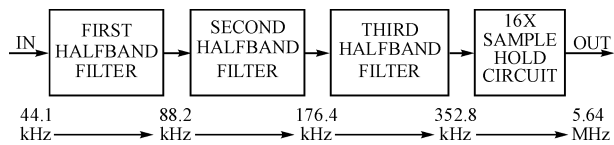


图 1 4 级线性相位内插滤波器

1.2 半带滤波器的设计

半带滤波器的长度和系数主要由过渡带与采样频率的比值,阻带衰减下限值和通带纹波上限值所决定。

在数字音频应用中,通带截止频率约为 20 kHz,通带纹波小于 0.01 dB,所以每一级半带滤波器的通带截止频率均为 20 kHz,每一级半带滤波器的采样频率为本级半带滤波器输入信号采样频率的 2 倍。第 2 级半带滤波器的阻带截止频率等于第 2 级半带滤波器的采样频率与第 1 级半带滤波器的阻带截止频率的差。第 3 级半带滤波器的阻带截止频率等于第 3 级半带滤波器的采样频率与第 1 级半带滤波器的阻带截止频率的差^[8]。这样就确定了各级半带滤波器的过渡带与采样频率的比值。

由于级联滤波器的通带纹波和阻带衰减是各级通带纹波和阻带衰减的累加。假如每级半带滤波器赋予

相同的通带纹波上限值,则第 1 级半带滤波器的通带纹波上限值相对较小。由于第 1 级半带滤波器的过渡带较窄,实现相同的通带纹波,第 1 级半带滤波器的长度会远远大于第 2 级半带滤波器和第 3 级半带滤波器的长度。为了减少硬件开销,本研究给第 1 级半带滤波器的通带纹波上限赋一个较大的值。半带滤波器系数可以通过 Matlab 用 Kaiser 窗函数法计算得到。第 1 级半带滤波器的通带纹波小于 0.04 dB,阻带衰减大于 70 dB,阶数为 110。第 2 和第 3 级半带滤波器的通带纹波小于 0.02 dB,阻带衰减大于 74 dB。第 2 级半带滤波器的阶数为 18。第 3 级半带滤波器的阶数为 14。最后一级为一个零阶保持寄存器,本研究通过改变时钟频率达到 16 倍升采样。级联半带滤波器的频率响应如图 2 所示。内插滤波器的通带纹波如图 3 所示。

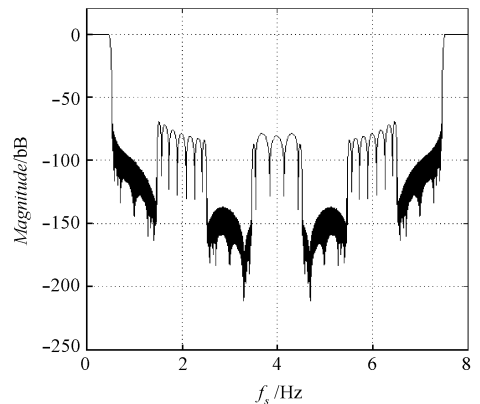


图 2 内插滤波器的频率响应

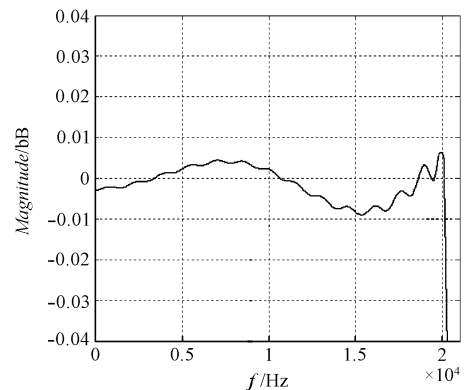


图 3 内插滤波器的通带纹波

由仿真结果可以看出,本研究所设计的内插滤波器的通带截止频率为 20.2 kHz,阻带衰减大于 65 dB,通带纹波小于 0.08 dB。设计满足音频应用的要求。

2 半带滤波器的面积优化

半带滤波器主要由存储电路和组合逻辑电路两部分构成。其中存储电路部分主要由寄存器组成。它的

作用是使输出状态在单位时钟周期内保持不变。同时组合逻辑电路在单位时钟周期内对存储电路部分的输出进行信号处理。

2.1 存储电路的面积优化

存储电路的面积优化本质上就是减少滤波器中的寄存器数量。可用第 2 级半带滤波器来代表 3 级半带滤波器。本研究利用半带滤波器的线性相位结构,对称的系数可共享一个硬件以减少开销,则第 2 级半带滤波器的传递函数可表示为:

$$H(z) = h_1 + h_3z^{-2} + h_5z^{-4} + h_7z^{-6} + h_9z^{-8} + h_{10}z^{-9} + h_9z^{-10} + h_7z^{-12} + h_5z^{-14} + h_3z^{-16} + h_1z^{-18} \quad (1)$$

第 2 级半带滤波器的直接结构如图 4 所示,这个传递函数可以用 FIR 直接结构实现。

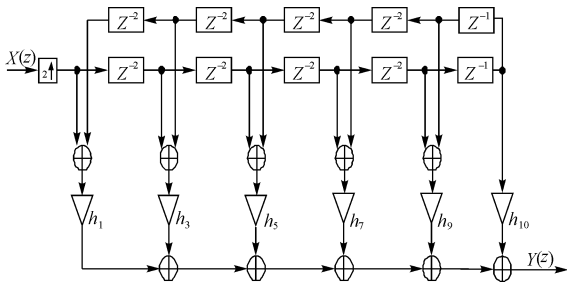


图 4 第 2 级半带滤波器的直接结构

输入信号首先通过一个 2 倍升采样模块。本研究通过在两输入信号点间插入一个零点来实现升采样。升采样的过程会在频域产生镜像频谱。在升采样模块后是一个有限冲激响应滤波器。它的作用是滤除升采样带来的镜像频谱。为了减少硬件开销,直接结构的传递函数可以改写成如下的多相结构:

$$H(z) = F(z^2) + z^{-1}G(z^2)$$

$$F(z) = h_1 + h_3z^{-1} + h_5z^{-2} + h_7z^{-3} + h_9z^{-4} + h_{10}z^{-5} + h_7z^{-6} + h_5z^{-7} + h_3z^{-8} + h_1z^{-9} \quad (2)$$

$$G(z) = h_{10}z^{-4}$$

根据 Commutative Rule, $F(z^2)$ 和 $G(z^2)$ 可以放在升采样模块前面,这样 z^2 用 z 来代替,从而节省大约一半的寄存器。而移到后面的升采样模块,可以用一个多路选择器来代替。第 2 级半带滤波器的多相结构如图 5 所示,多相结构大大减少滤波器中寄存器的数量。

2.2 组合逻辑电路的面积优化

半带滤波器中的组合逻辑电路主要是用来实现乘法运算和加法运算,所以这部分的面积优化就是考虑以最少的硬件开销实现运算功能。

由于乘法器会消耗大量的硬件资源,本研究考虑不用乘法器来实现半带滤波器以减少芯片面积。一种

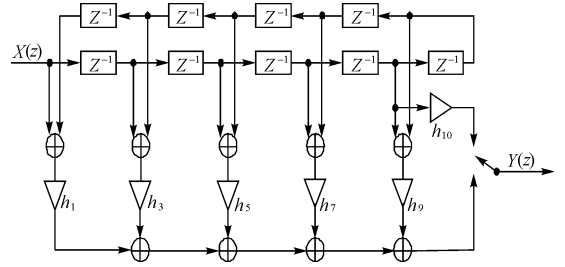


图 5 第 2 级半带滤波器的多相结构

常用的方法是将乘法运算用移位运算和加法运算来代替。用左移 N 位代替乘 2^N 运算,其中 N 为正整数。用右移 N 位来代替乘 2^{-N} 运算,其中 N 为负整数。为了进一步减少硬件复杂度,这里使用正则符号编码(Canonic Signed Digital, CSD)来代替普通的二进制编码^[9]。CSD 编码是符号编码的一种,它在编码时,除了 0、1 外,还有 -1,并且相邻两位不能同时为 1 或者 -1。这样编码可以大大的减少码值中的非零项,从而大量减少乘法和加法运算。第 2 级半带滤波器的系数如表 1 所示。

表 1 第 2 级半带滤波器的系数

$h(n)$	Coefficients	CSD Coding
h_1	0.000 322 198 538	$2^{-12} + 2^{-14} + 2^{-16}$
h_3	-0.005 138 444 214	$-2^{-8} - 2^{-10} - 2^{-12} - 2^{-16}$
h_5	0.023 322 245 116	$2^{-5} - 2^{-7} - 2^{-13}$
h_7	-0.075 303 958 119	$-2^{-4} - 2^{-6} + 2^{-8} - 2^{-10} + 2^{-15}$
h_9	0.306 681 797 773	$2^{-2} + 2^{-4} - 2^{-7} + 2^{-9} + 2^{-15}$
h_{10}	0.5	2^{-1}

最后本研究选择实现的内插滤波器结构,如图 6 所示。

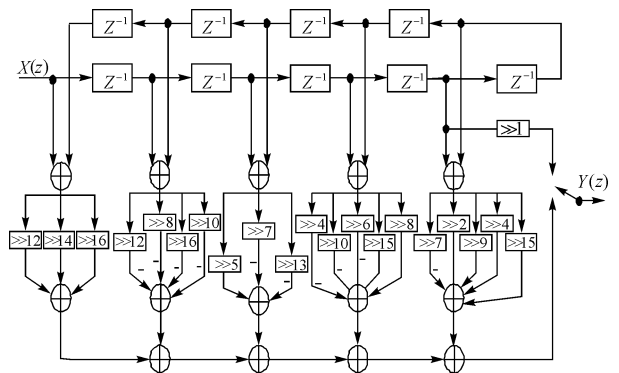


图 6 第 2 级半带滤波器的 CSD 实现

3 FPGA 验证和设计综合

3.1 FPGA 验证

本研究用 Altera 的 EP2C35F484C8 器件来验证整

个内插滤波器的功能,利用 Verilog HDL 语言进行系统设计。设计仿真在 QuartusII 中完成。

在用移位操作实现小数乘法时,考虑到寄存器的位数有限,所以先将所有的系数统一放大 2^{10} 倍,然后再进行移位操作。最后对输出结果进行同倍数的缩小。系统功能验证时,输入带符号位的 16 bit 数据流。输入信号储存在 QuartusII LPM ROM 中,测试时依次读入滤波器。各级滤波器的时钟通过对主时钟分频得到。整个系统采用同步复位。复位信号需要与各级半带滤波器的时钟进行采拍同步。输出结果可以通过 QuartusII 中内嵌的逻辑分析仪 SignalTap II 进行观察。本研究设置 SignalTap II 的采样深度为 8 KB,采样触发时钟为系统中最快的时钟。结果如图 7 所示。

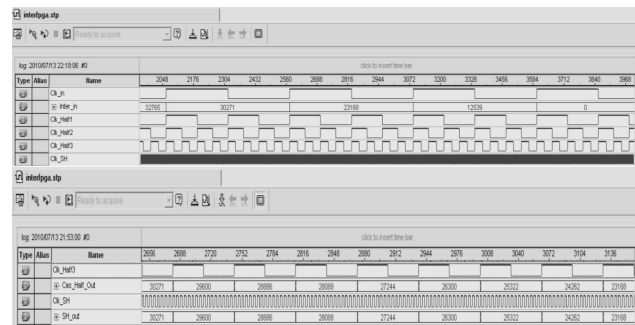


图7 FPGA 的输出结果

SignalTap II 的输出结果显示:输入为 16 位带符号位数据,在经过 3 级级联半带滤波器后,每两个输入数据点间插入 7 个数据值。而通过最后一级采样保持部分后,整个滤波器在每个输入数据时钟周期内输出 128 个点。数据流和时钟均准确,证明了所设计的内插滤波器能完成内插的功能。

3.2 设计综合

本研究用 Synopsys Design Compiler 软件在 TSMC 0.18 μm CMOS 1P5M 工艺下对设计进行综合,对不同结构半带滤波器实现的内插滤波器分别进行综合。它们的面积结果比较如表 2 所示。所有的乘法运算均用移位运算和加法运算代替。

表 2 不同结构内插滤波器的面积比较

Technology	Combination	Noncombination	Total cell
TSMC 0.18 μm	Area	Area	Area
Direct form	365 553.87	134 044.24	499 598.11
Poly-phase	373 418.80	722 68.71	445 687.51
Poly-phase with CSD	274 057.43	722 68.71	346 326.14

从综合结果可以看出,多相结构相比直接结构可以节省大约 50% 的存储电路面积。而相比于普通的二进制编码,用 CSD 编码方法可以节省大约 30% 的组合逻辑电路面积。核心芯片的总面积可优化到 0.34 mm^2 。

4 结束语

本研究设计了一种面积优化的内插滤波器。用级联 3 级半带滤波器加采样保持电路的结构实现内插滤波器,利用多相结构实现半带滤波器来节省硬件开销。整个系统使用移位运算和加法运算代替乘法运算,并使用 CSD 编码方法进一步减少芯片面积,其功能经 FPGA 平台验证。综合结果表明本研究所设计的内插滤波器在面积上有一定的优势。

参考文献 (References):

- [1] NAUS P J A, DIJKMANS E C, STIKVOORT E F, et al. A CMOS stereo 16-bit D/A converter for digital audio [J]. *IEEE Journal of Solid-State Circuits*, 1987, 22(3): 390-395.
- [2] MATSUYA Y, UCHIMURA K, LWATA A, et al. A 17-bit oversampling D-to-A conversion technology using multistage noise shaping [J]. *IEEE Journal of Solid-State Circuits*, 1989, 24(4): 969-974.
- [3] ADANMS R, NGUYEN K Q. A 113-dB SNR oversampling DAC with segmented noise-shaped scrambling [J]. *IEEE Journal of Solid-State Circuits*, 1998, 33(12): 1871-1876.
- [4] SU D. Oversampling Digital-to-Analog Conversion [M]. PhD Dissertation, Stanford University, 1994.
- [5] BRANDT B P, WOOLEY B A. A low-power, area-efficient digital filter for decimation and interpolation [J]. *IEEE Journal of Solid-State Circuits*, 1994, 29(6): 679-686.
- [6] NORSEWORTHY S R, SCHREIER R, TEMES G C. Delta-sigma Data Converters Theory Design and Simulation [M]. IEEE Press, 1996.
- [7] CROCHIERE R E, RABINER L R. Multirate Digital Signal Processing [M]. Prentice-Hall, Englewood Cliffs, USA, 1983.
- [8] LOSADA R A. Practical FIR Filter Design in Matlab [M]. The Math Works, Inc, 2004.
- [9] KHOO K Y, KWENTUS A, ALAN N W J. A programmable FIR digital filter using CSD coefficients [J]. *IEEE Journal of Solid-State Circuits*, 1996, 31(6): 867-874.

[编辑:李辉]