

基于 DSP 的 PLC 运动功能的研究*

严 义, 朱旭燕

(杭州电子科技大学 智能与软件技术研究所, 浙江 杭州 310018)

摘要:为解决可编程逻辑控制器(PLC)传统 CPU 难以实现电机运动控制的问题,提出了一种基于梯形图翻译形式以及梯级执行机制的 DSP-PLC 架构,通过一套具有运动控制特点的指令集实现了可编程控制器的运动控制功能,并给出了运动控制的关键技术前后台动态(FBD)调度算法。实验结果表明,DSP-PLC 构架既发挥了 DSP 高速处理的优势,又体现了 PLC 图形化的编程特色,且调度算法简单有效,可适用于电机运动控制系统。

关键词:可编程控制器;空间矢量脉宽调制;数字信号处理器;运动控制;前后台动态调度算法

中图分类号:TH39;TP332.3

文献标志码:A

文章编号:1001-4551(2011)07-0818-05

PLC special movement research based on DSP

YAN Yi, ZHU Xu-yan

(Institute of Software and Intelligent Technology, Hangzhou Dianzi University, Hangzhou 310018, China)

Abstract: In order to solve the problem that motor motion control is difficult to realize by traditional CPU of programmable logic controller (PLC), a DSP - PLC frame based on the form of ladder diagram interpretation and mechanism of step implement was proposed, and the motion control function was realized by a set of instructions with motion control features. The key technology of movement control function that fore-background dynamic(FBD) scheduling algorithm was also put forward. The experiment results show that the DSP-PLC system can be used in motor control system, it does not only contain DSP high performance, but also reflect PLC graphic program characteristics, and its scheduling algorithm is simple and effective.

Key words: programmable logic controller(PLC); space-vector pulse width modulation(SVPWM); digital signal processor(DSP); motion control; fore-background dynamic(FBD) scheduling algorithm

0 引 言

空间矢量脉宽调制技术(SVPWM)以其输出电压利用率高、输出电流谐波成分少和控制简单等优点在电机调速系统中得到了广泛的应用^[1],SVPWM 需要大量的坐标变换以及浮点运算,传统的可编程逻辑控制器采用普通的嵌入式芯片,且任务处理机制是周期扫描,使其在执行 SVPWM 任务时需要增加协处理芯片进行运算。

SVPWM 技术关键在于实时控制电压矢量的大小、方位以及作用时间,普通 PLC 只能通过改变占空

比实现 PWM 的输出^[2]。针对该问题,文献[3-4]研究基于现场可编程逻辑门阵列(FPGA)的 SVPWM 控制,利用 FPGA 的内部逻辑电路实现了 SVPWM 的输出,文献[5]研究利用 CPLD 和整数算法实现 SVPWM,这几种方法都是将 DSP 作为协处理器,增加了系统的复杂度,使研发的效率降低。

PLC 的引擎执行机制是循环扫描,扫描时间取决于程序的长短,因此限制了 SVPWM 控制系统实时多任务的执行。为了解决这一问题,文献[6-7]提出开放式 PLC 架构的设计方案,增加处理模块对多个任务进行调度,但模块之间的调度关系复杂,且硬件成本高。

文献[8-9]提出抢占式任务调度机制,这种方式保证了高优先级任务的实时性,但是系统开销大。

针对以上问题,本研究分析 SVPWM 原理,建立 DSP-PLC 的系统构架模型,提出 FBD 任务调度算法,通过动态数据池(DDP)实现周期型任务与 SVPWM 任务的划分,并且采用中断抢占策略与时间触发策略相结合的方式对任务进行调度执行。实验结果表明,此算法简单可靠,其任务响应成功率达到 96%, DSP-PLC 控制系统能有效地采用空间矢量脉宽调制技术对电机进行调速控制,且与普通的嵌入式 PLC 相比指令执行效率提高了 30%~40%,增强了系统的任务调度能力。

1 SVPWM 原理

SVPWM 实现运动控制通常把电机作为一个整体,系统框图如图 1 所示,调制波频率由外部输入($\omega^* = 2\pi f$)。逆变器输出定子电流 $i_a, i_b, i_c = -(i_a + i_b)$, 经过 Clarke 变换和 Park 变换将 i_a, i_b, i_c 变成直流分量 i_d, i_q 以作为电流环的反馈量,光电编码盘测出电机的角位移 θ 作为速度环的反馈量。给定频率与实际测得的频率的偏差经过速度控制器转变成参考分量 i_q^* , 与 i_q 经过调节器输出电压分量 $u\alpha^*$, i_d 与 i_d^* 经过电流调节器得到电压分量 $u\beta^*$ 。 $u\alpha^*$ 与 $u\beta^*$ 经过 Park 逆变换得到定子相电压矢量分量 $u\alpha, u\beta$, SVPWM 模块根据 $u\alpha, u\beta$ 计算出电压矢量 u_{out} 所处的扇区,根据扇区求出合成 u_{out} 的两个基本空间电压矢量作用的时间 t_1, t_2 , 最后求出 A、B、C 三相相应的开关作用的时间分配给 DSP 的 3 个比较寄存器,输出 SVPWM。

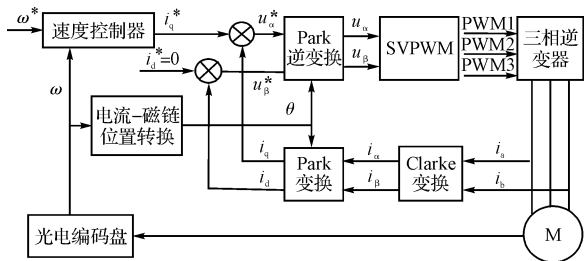


图 1 SVPWM 系统框图

2 DSP-PLC 系统设计

2.1 DSP-PLC 体系结构

DSP-PLC 系统的体系结构图如图 2 所示,梯形图 LLD 通过翻译生成指令集,指令集在 PLC 引擎中调用,上位机通过调用 HEX2000 命令生成 HEX 文件,由

BootLoader 下载到 DSP 中。DSP 内部执行引擎可以分为三大部分:取相关的操作指令、执行、输入/输出。SCIA/SCIB 串行设备为通信模型提供了 PLC 与人机界面或上位机软件的接口,存储模型是 PLC 逻辑地址到物理地址的映射, I/O 模型为输入采样以及输出刷新提供了专门存放 I/O 数据的区域,其中对应于输入端子的数据区,称为输入映像寄存器;对于输出端子的数据区,称为输出映像寄存器。

2.2 梯形图的翻译形式及指令集

梯形图中最基本的单元是梯级^[10],一个梯级在条件为真的前提下执行并输出结果,如图 3(a)、(b)所示。LD 或 LDN 是逻辑运算开始指令,每个梯级的执行与否由这两条指令决定^[11],其操作数是位元件,在 DSP 中最小单位为 16 位,即两个字节,通常一个内存地址可以表示 PLC 的 16 个位元件。PLC 逻辑地址中的 VD0,VD1 实际对应的物理地址是在同一个内存地址块中。

梯形图程序翻译成与 DSP 处理器对应的指令才能执行 PLC 逻辑运算的功能,梯级逻辑的翻译形式如图 3(c)所示。指令集中的复杂指令是由宏定义的形式翻译成目标代码,指令的具体实现由 C 指令功能函数实现,宏定义的主要功能是按照指令的寻址方式将操作数的值或者地址传入指令功能函数中。

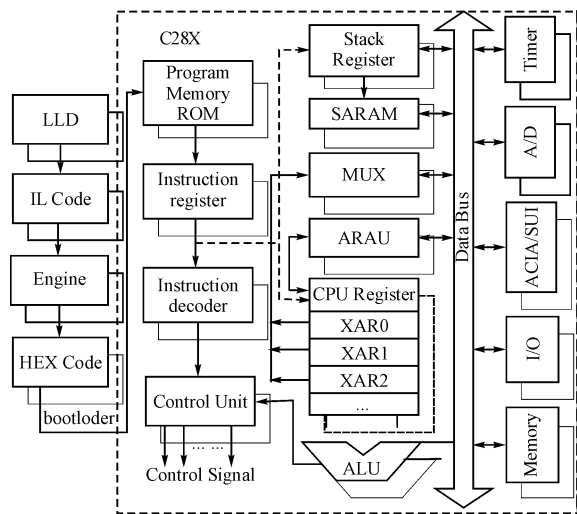
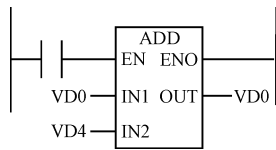


图 2 DSP-PLC 体系结构图

指令集的目标是简化梯形图的梯级逻辑运算,其性能直接影响着梯级逻辑运算的效率。笔者在研究 DSP 处理器性能的基础上,设计了一套 DSP-PLC 指令集,此指令集根据其操作数的类型分成位操作指令和字操作指令,字操作指令又被分成传送指令、算术运算

指令、逻辑运算指令、比较指令、移位指令、循环控制指令。指令的寻址方式有立即数寻址、寄存器寻址两种寻址方式。



(a) 梯级

if (M0 = 1) then VD0 + VD4

(b) 梯级执行机制

```
LD M0:      MOVL XAR4, #(_CassMem + VALUE; V:;)
            MOV AL, #N
            LCR _LDFUN
ADD VD0 VD4: MOVL XAR0, #(CassMem + :D1:;)
            MOVL ACC, * + XAR0[0]
            MOVL XAR4, #(CassMem + :DO:;)
            ADDLACC@ XAR4
```

(c) 梯级翻译形式

图 3 梯级执行机制及翻译形式

3 DSP-PLC 实现 SVPWM 的任务调度算法

传统 PLC 靠周期扫描任务处理逻辑运算指令以及外部通道 I/O 口的输入/输出刷新^[12], 矢量脉宽调制需要快速计算出下一个周期里所需的数据, DSP 的时钟频率为 100 MHz, 二分频后 SVPWM 的定时器计数周期为 20 ns, 通常周期扫描任务难以达到这个要求。为了使 SVPWM 的运算与周期型任务运算很好地结合起来, 本研究提出了一种前后台动态 (Fore-Back-Ground Dynamic, FBD) 调度算法, 该调度算法将 SVPWM 的运算作为前台任务, 周期型任务作为后台任务, 通过调度, 执行相关的任务。

3.1 FBD 任务模型

该模型具有如下定义:

定义 1 动态数据池 (Dynamic Data Pool), 前台任务与后台任务之间有交互的数据区, 记作 DDP。

定义 2 DDP 数据缓冲队列 (DDPQueue), 任务调度时会出现某些任务由于阻塞不能被调度, 用一个数据缓冲队列存放这些任务, 按顺序处理未被调度成功的任务。

定义 3 DDP 任务节点, 前台任务和后台任务从 DDP 中取出数据进行运算, 运算后将更新 DDP, 在任务执行的过程中, 很可能出现前台任务执行完后还没

来得及更新 DDP, 后台任务就将更新前的数据取走, 如图 4 所示。若任务 $n-1$ 是后台任务, 任务 n 是前台任务, DDP 中的数据代表的是电机的转速, 周期型任务触发经过逻辑运算得到电机的期望速度值, 在运算的过程中前台任务到达, 把 IN_{n-1} 作为输入数据进行运算, 从而产生误差。为了避免误差的产生, 本研究定义了 DDP 节点数据结构体, 如下所示:

```
typedef struct DDPTask
{
    Unsigned char type; //任务类型
    Unsigned int eTime; //任务执行时间
    BOOL fRead; //前台任务读标记
    BOOL fWrite; //前台任务写标记
    BOOL bRead; //后台任务读标记
    BOOL bWrite; //后台任务写标记
    DataType data; //任务的数据信息
} DDPTask;
```

每个任务对应一个节点, type 表示任务类型, 根据节点的类型标记判断该任务在 DDP 中的索引, 0 表示该任务在 DDP 中的索引为 0, 依次类推。fRead 在前台任务执行时有效, 1 表示读任务被唤醒, 0 表示读任务处于休眠期。fWrite 为 1 表示前台任务写任务被唤醒, 0 表示写任务休眠。后面两个是后台任务的标记, 和前台任务标记有相同的含义。data 是一个 DataType 类型的数据, 包含了该任务绑定的地址和数据。

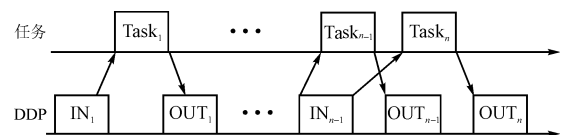


图 4 数据调度关系

在实际的执行过程中, 各任务的执行时间不同, 为了提高效率, 该任务模型遵循如下原则:

原则 1 若 $T^1 > T^2$, 则 $TASK_2 \rightarrow TASK_1$ 。其中, T^i 表示各个任务的执行时间, 如果任务 1 的执行时间大于任务 2 的执行时间, 那么要使任务 2 先执行, 后执行任务 1。

原则 2 若任务发生阻塞, 则按照先后顺序将阻塞的任务放入队列缓冲区中, 当处理阻塞的任务被唤醒时按照存放的顺序先后进行处理。

3.2 FBD 调度模型

FBD 任务调度模型如图 5 所示, 在初始阶段先进行节点分配, 给每个任务分配节点信息。通过任务调度器实时监测任务节点, 前台任务通过周期时间触发, 后台任务通过事件管理器的定时器中断快速抢占, 在任务调度的过程中出现部分阻塞的任务, 当任务被唤

起时统一处理阻塞的任务。

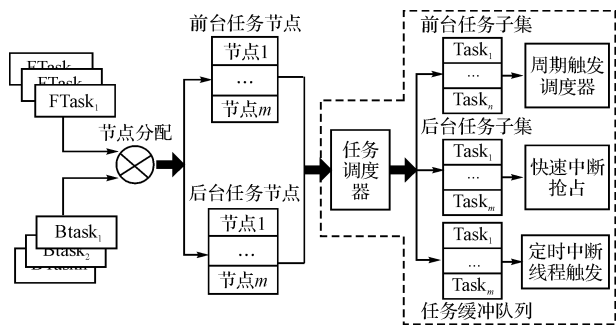


图5 FBD 调度模型

3.3 FBD 算法步骤

任务调度算法的前台任务和后台任务分别占用两个定时器中断:①定时器 T0, 1 ms 定时,用于计算后台任务的时间,PLC 定周期的循环扫描周期任务,扫描周期可分为快速扫描周期,慢速扫描周期;②DSP 的事件管理器定时器,用于计算 PWM 的周期。在定时器下溢时产生中断,执行前台的任务。

算法步骤如下所示:

(1) 配置定时器,初始化任务节点,为 DDP 中的各种任务分配任务节点,并置 bWrite 为 1,其他标记置为 0。

(2) 如果产生的是后台任务,那么在后台任务中执行以下步骤:

①判断是否为读任务,如果是读任务,判断 bRead 是否为 1,若为 1,则对 DDP 进行读任务的相关操作,读任务处理完后置 bRead 为 0;如果 bRead 为 0,则置 bWrite 为 1;

②如果是写任务,判断 bWrite 是否为 1,若为 1,则对 DDP 进行写任务处理,处理完后置 bWrite 为 0;若为 0,则将该任务的信息送入队列 DDPQueue 中;

(3) 如果产生的是前台任务,则前台任务重做与周期型任务相似的步骤,只不过依据的标记不同。

(4) 在定时器中断任务中,判断 DDPQueue 是否为空,若不为空,则进行通过任务节点找到该节点的数据信息,进行写处理。

(5) 重复步骤(2)~(4)直至结束。

4 实验及结果分析

在本研究中,所设定的实验硬件环境如下: DSP-PLC 控制器, MCU TMS320CF2808, 时钟频率 100 MHz; 电机参数如下: 额定电压为 300 V, 极对数为 4, 额定转

速为 400 r/min。电机在转速变化时得到的 SVPWM 波形图如图 6 所示,从图中可以看出方形波两边密集,中间稀疏,其密集与稀疏的波形分布类似于正弦波波形。

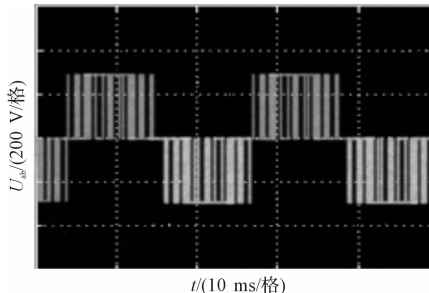


图6 SVPWM 波形

C8051、Cotex、TMS320CF2808 在执行指令时所需的时钟周期数如表 1 所示,从表中可以看出 DSP 的指令执行效率与 C8051、Cotex 相比提高了 30%~40%。指令执行所需的周期数取决于 CPU 的流水线执行机制, DSP 共有 8 级流水线,每个时钟周期内所能处理的指令大大增加,提高了 DSP-PLC 指令的执行效率,增加了 PLC 的处理性能。

表 1 不同 CPU 的 PLC 指令执行周期数

指令	8051 周期数	Cotex 周期数	DSP-PLC 周期数
LD X0	16	12	8
AND X0	12	9	6
ADD VD0 VD4	14	10	7
OR X0	12	9	6

DSP-PLC 已成功应用在电梯门机的控制中,电梯门机控制的梯形图程序编辑界面如图 7 所示,图中采用了具有 DSP 特点的 PLC 运动控制指令集,控制门机的加速、匀速、减速运动,通过内核引擎的调度算法,实现门机的一次开门运动控制。电梯门机控制器实物图如图 8 所示,电机的运动信号实时反馈给图 8 中左边的主控制器,经过控制算法的计算调节完成开门与关门的动作过程。实验通过电机的一次正转运动得到电机转速曲线图,如图 9 所示。从图中可以得出,电梯门机随着任务的调度执行完成了一次从加速到减速的过程。FBD 算法的响应成功率为:

$$\eta = \left(\sum_{i=0}^n A_i \right) / A_{\text{总}}$$

式中: A_i —各个时期响应的任务个数, $A_{\text{总}}$ —所需响应的任务总数。

由此可计算出 $\eta = 96\%$ 。

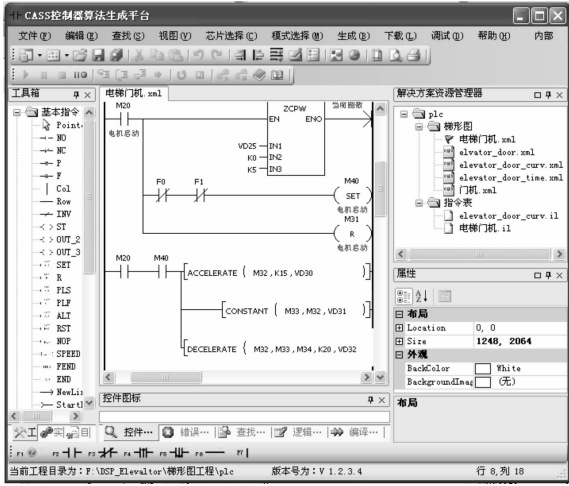


图 7 电梯门机梯形图程序编辑界面

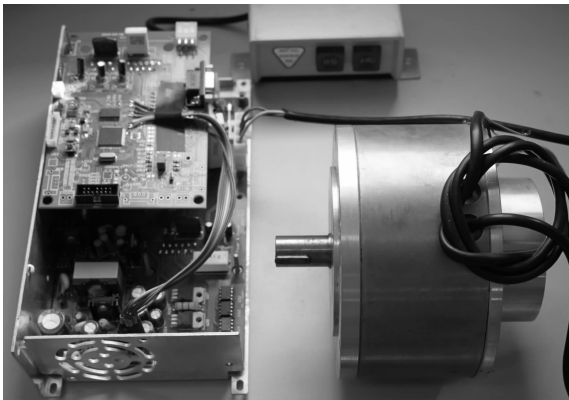


图 8 电梯门机控制器实物图

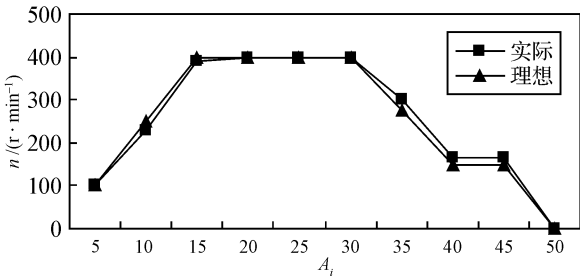


图 9 不同任务执行下的电机转速

5 结束语

本研究所提出的基于 DSP 的 PLC 系统架构模型,其优点是指令执行效率高,且系统结构简单可靠;另外,前后台动态调度算法结合动态中断抢占策略以及时间触发策略可以较好地解决 SVPWM 与 PLC 周期型任务的调度问题,由于前后台交互数据区采用固定的任务分配机制,在实际运用中任务分配不够灵活,同时

在进行任务切换时会产生一定的系统开销,因此下一步要研究交互数据区自动分配任务以及如何降低开销的情况下保持算法的性能优势。

参考文献 (References):

- [1] 张卫丰,余岳辉. 基于 RTW 的 SVPWM + DSP 控制系统 [J]. 电工技术学报,2007,22(3):102-106.
- [2] ALIA M A K, Using PLC for custom-design of a PID/PWM program to control a heater temperature [J]. **American Journal of Applied Sciences**,2007,4(5):307-316.
- [3] CHEN W L, PIEN C H, FENG Y P. Design of an FPGA-based Space Vector PWM Generator for Three-phase Voltage-Sourced Inverters [C]//2nd IEEE International Conference on Power and Energy (PECon 08),2008: 584-588.
- [4] PONGIANNAN R K, YADAIHAH N. FPGA based Space Vector PWM Control IC for Three Phase Induction Motor Drive [C]//IEEE International Conference on,2006:2061-2066.
- [5] JYANG J Y, TZOU Y U. A CPLD-Based Voltage /Current Vector Controller for 3-Phase PWM Inverters [C]//29th Annual IEEE,1998:262-268.
- [6] KOO K, RHO G S, KWON W H, et al. Architectural design of an RISC processor for programmable logic controllers [J]. **Journal of Systems Architecture**,1998,44(5):311-325.
- [7] ASPAR Z, KHALIL-HANI M. Modeling of a Ladder Logic Processor for High Performance Programmable Logic Controller [C]//Third Asia International Conference,2009:572-577.
- [8] ROENGRUEN P, SUESUT T, TIPSUWANPOM V, et al. Design of PLC Networks Using Remote I/O Module Based on Controller Area Network [C]//proceeding of Canadian Conference Oil Electrical and Computer Engineering,2001:1023-1027.
- [9] JEONG S, KIM Y S, KWON W H. Scheduling Algorithm for Programmable Logic Controllers with Remote I/Os [C]// Proceedings of the 4th International Workshop on Real-time Computing Systems and Applications,1997:87-94.
- [10] YAN yi, ZHANG Hang-ping. Compiling ladder diagram into instruction list to comply with IEC 61131-3 [J]. **Computers in Industry**,2010,61(5):448-462.
- [11] 章航平,严 义. 一种避免 PLC 无效指令执行的编译优化方法 [J]. 机电工程,2009,26(4):31-35.
- [12] 严 义,胡峰令. 面向嵌入式 PLC 的调度算法 [J]. 计算机工程,2009,35(19):257-259.

[编辑:张 翔]