

基于 SOPC 的步进电机加减速 PWM 控制器 IP 核设计*

欧海平,周砚江*,张华叶,庄蒙蒙
(浙江理工大学 机械与自动控制学院,浙江 杭州 310018)

摘要:为解决步进电机运动系统中电机加速和减速过程的控制等问题,将脉冲宽度调制(PWM)和现场可编程门阵列(FPGA)IP核技术应用到设计方案中。提出了一种基于可编程片上系统(SOPC)实现步进电机加减速 PWM 控制器 IP 核的设计方法,并以此说明了该设计思想及其实现途径。通过 HDL 硬件描述语言编写功能逻辑、Avalon 总线接口与外部 I/O 电路,并描述了整个设计过程。利用 Altera 的 Cyclone 开发板对其功能进行了测试验证。仿真和实验结果表明,所设计的 IP 核能够应用于由单脉冲信号驱动的步进电机控制系统,且运行稳定。

关键词:可编程片上系统;步进电机;IP 核;脉宽调制;加减速;Avalon 总线接口;现场可编程门阵列

中图分类号:TH39;TP271.4

文献标志码:A

文章编号:1001-4551(2011)06-0708-04

IP core design of PWM controller for stepper motor speed-up and speed-down based on SOPC

OU Hai-ping, ZHOU Yan-jiang, ZHANG Hua-ye, ZHUANG Meng-meng

(Faculty of Mechanical Engineering & Automation, Zhejiang Sci-Tech University, Hangzhou 310018, China)

Abstract: In order to solve the problems of controlling acceleration and deceleration process of stepper motor motion system, the technology of pulse width modulation(PWM) and field programmable gate array (FPGA) IP core was investigated. A kind of PWM controller IP core for stepper motor speed-up and speed-down based on system on programmable chip (SOPC) was proposed, and then the design thought and realization way were illustrated. HDL hardware description language was used to prepare logic functions, Avalon bus interface and external I/O circuit, and the whole design process was described. The function of the design was tested and verified by Altera's Cyclone board. Simulation and experiment results show that the IP core can be applied in different stepper motor control system driven by monopulse signal and the operation is stable.

Key words: system on programmable gate array(SOPC); stepper motor; IP core; pulse width modulation(PWM); speed-up and speed-down; Avalon bus interface; field programmable gate array(FPGA)

0 引 言

步进电机由于具有运动精确、易于控制、快速响应性好、连续运行无累积误差等特点,被广泛应用于数控机床、打印机、机器人等自动控制系统中^[1]。步进电机系统由控制器、驱动器和步进电机 3 部分组成。步进电机控制器通过输出脉冲信号实现电机的转速和机械位置的精确控制,并且电机的总旋转角度与输入脉冲总数成比例。因此,控制器的脉冲信号频率和总脉

冲数决定了步进电机的转速和旋转角度。对于步进电机控制器的脉冲信号发生器,需要精确地设定脉冲频率和总数,通常采用 PWM 技术^[2]。

对于由步进电机作为执行机构的控制系统,为保证运动机构在启动或停止时不产生冲击、失步、超程或振荡,必须对驱动电机的信号脉冲频率进行控制,使得电机加速启动时,加在步进电机上的脉冲频率逐渐增加;而当电机减速停止时,加载步进电机上的脉冲频率逐渐减小,即完成步进电机的“启动—加速—恒速—

收稿日期:2010-11-30

基金项目:浙江省大学生新苗计划科技成果推广资助项目(2009R406044)

作者简介:欧海平(1984-),男,湖北黄冈人,主要从事嵌入式片上系统设计、机电控制方面的研究。E-mail: oyhp052@163.com

通信联系人:周砚江,男,教授,硕士生导师。E-mail: zyj@zstu.edu.cn

减速—停止”控制^[3]。

随着工业自动化技术的发展,对步进电机的控制也不断提高,DSP、FPGA 等现代控制方法成为了全数字化智能控制系统的主流方向^[4]。Altera 公司 Nios II 软核处理器的提出及 SOPC 技术的进步,从硬件和软件设计上推动了嵌入式系统设计的发展,使得嵌入式系统的硬件电路更加简单、有效,软件设计变得更轻松、移植性更强^[6]。并且,利用 Altera 公司的通用 IP 核,使得用户可以根据实际需求来定制 Nios II 外围设备,极大的降低了开发难度和成本以及缩短了产品开发周期^[7]。但是,对于一些特定的外设,没有现成可用的 IP 核,用户可以通过自定义逻辑的方法在 SOPC 设计中添加自定义 IP 核。

本研究正是从实际应用出发,开发设计了步进电机加减速的 PWM 控制器 IP 核,可以直接应用于步进电机控制的多种场合。

1 PWM 控制器 IP 核设计方案

通常定制基于 Avalon 总线(由 SOPC Builder 自动生成,是一种理想的用于系统处理器和外设之间的内联总线)的用户外设有两种方法:一种是 SOPC Builder 提供的元器件编辑器在图形用户界面下用硬件描述语言(Verilog HDL 或 VHDL)描述的用户逻辑封装成一个 SOPC Builder 元件,即 IP 核;而另一种方法则是在 Altera 公司提供的现有 IP 核基础上修改其 Class. ptf 文件,达到实现所需 IP 模块功能的目的^[8]。

本研究所设计的 PWM 加减速控制模块的任务逻辑图如图 1 所示。任务逻辑由系统输入时钟(clk)、输入使能信号、输出信号(PWM)、输出使能信号、计数器以及加法器电路组成。计数器内部包括启动频率模式寄存器(mode_reg)、加速度累加器(conter_add)、加速度设定值寄存器(speedup_reg)等。使能控制寄存器(Enable control register)包括读使能信号、写使能信号、字节使能信号等。由于加速模块和减速模块的计数分频设计方法、原理相同,只是起始参数设置不同,故以下着重于从加速模块的算法设计上进行介绍。

2 PWM 控制器 IP 核的设计与实现

一个典型的 IP 核由以下功能模块组成:

(1) 任务逻辑。任务逻辑完成该 IP 核的基本功能,用硬件描述语言 HDL 描述和仿真硬件逻辑组成其基本的硬件设计。

(2) 寄存器文件。寄存器文件提供了任务逻辑与外界交换信息的途径。使得用户可以通过 Avalon 接

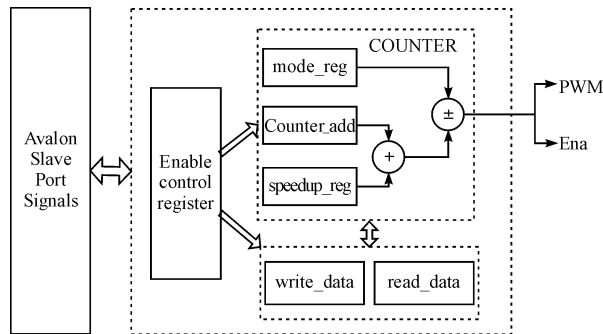


图 1 PWM 控制器任务逻辑图

口采用“基地址 + 地址偏移量”的方式访问 IP 核内部各寄存器^[9]。

(3) Avalon 接口。Avalon 接口为寄存器文件提供了一个标准的 Avalon 前端。它使用 Avalon 必须的信号来访问寄存器文件,并且支持任务逻辑的传输类型^[10]。

2.1 HDL 任务逻辑设计

本研究所设计的 HDL 任务逻辑主要由使能控制模块、计数器分频模块和寄存器读写模块构成。加减速分频算法描述如下:

调用加速模块时,首先要将使能信号 pwm_enable 置为 1,使能 PWM 信号输出;选择一种 mode 模式(电机启动模式列表如表 1 所示,对应启动频率可预先根据实际需求设定分频计数值即可)决定 PWM 输出信号的起始频率,即步进电机的启动频率;设置 speedup 加速度值,根据实际应用设定,并设定加速度计数累加器 speedup_limit 的极限值。加速过程流程图如图 2 所示,系统时钟 clk 为 50 MHz 信号,经过 24 位计数器分频,输出 PWM 信号;而计数累加器每间隔一定时间自动加上加速度数值,增大累加器数值。启动模式设定寄存器 mode_reg 中设定的初始值减去计数累加器数值作为分频基数,因此分频基数逐渐增大,分频后得到的 PWM 输出信号频率就变高;随着累加器数值的不断增大,被 mode_reg 数值减去得到的计数值逐渐减小,故分频得到的 PWM 输出信号由启动频率开始逐渐增大;当 mode_reg 的值减去计数累加器的值与事先所设定的 speedup_limit 的值相等时,停止 PWM 信号的输出(此时输出的 PWM 信号频率已经加速至恒速工作时所需的频率),同时输出使能信号 Ena 由低电平 0 变为高电平 1。至此,步进电机从低速启动到加速至设定值(即 speedup_limit 作为计数分频值时所产生的 PWM 频率信号)的 PWM 加速过程完成。

减速模块的工作过程和加速过程原理相同,只是将初始值设定在分频输出工作时的高频率信号,之后

计数分频器的数值随着加速度的每次叠加,使得分频计数器的数值逐渐增大,分频所输出的 PWM 信号频率逐渐减小,对应电机的转速逐渐降低。直到分频计数器的数值与设定的极限值相等时(此时为电机转动的低速状态,低于电机的额定启动频率,可以直接停止脉冲输出使电机停止),停止 PWM 信号的输出,步进电机停止转动。此过程对应的就是步进电机减速至停止过程,即为减速模块。

表 1 电机启动频率模式列表

mode	Parameter/Hz	分频计数 值设定	对应的启 动频率 f /Hz
00	mode_25	1 000 000	25
01	mode_50	500 000	50
10	mode_100	250 000	100
11	mode_200	125 000	200

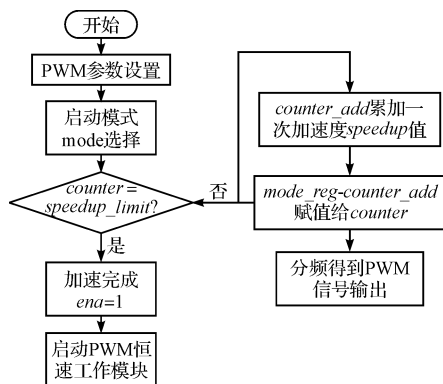


图 2 HDL 任务逻辑加速过程流程图

2.2 寄存器组及 Avalon 总线接口

寄存器为软件提供了访问硬件的通道,一系列寄存器构成了寄存器组。寄存器是根据任务逻辑中需要实现的特定逻辑功能来设定的,任务逻辑中的数据通过寄存器传输。将这些寄存器映射成 Avalon Slave 端口地址空间内一个单独的偏移地址。每个寄存器都能进行读/写访问,软件可以读回寄存器的当前值,其中的寄存器及偏移地址如表 2 所示。

表 2 寄存器及偏移地址表

寄存器名	偏移量	访问属性	功 能
speedup_reg	00	读/写	设定加速度大小
speedup_limit_reg	01	读/写	设定每次叠加加速度值的计数累加器极限值
ctrl_reg	10	读/写	使能 PWM 信号输出,为 1 时输出 PWM 信号
保留	11	—	—

PWM 控制器 IP 核的 Avalon 接口需要一个简单的 Slave 端口,使用较少的 Avalon 信号来处理简单的寄存器读/写传输。本研究的 Avalon Slave 端口与 Avalon

slave 端口时钟信号同步,由于读/写寄存器只需一个时钟周期,读/写时的建立和保持时间为 0,不需要延时。该模块对 HDL 任务逻辑和寄存器组进行例化和封装^[11],使其信号类型符合 Avalon 总线信号规范和外设模块的信号规范。

2.3 IP 核硬件构建及设置

本研究所设计的 PWM 加减速 IP 核是通过 SOPC Builder 提供的 IP 核生成向导,按照图形界面提供的选型进行配置得到的^[12]。其具体构建如下:

本研究在 Quartus II 中设计 PWM 加减速的 Verilog HDL 程序代码(即任务逻辑模块),并编译、仿真(如图 3 所示),然后在 SOPC Builder 中的 IP 核生成向导中添加该程序代码。新建的 IP 核应包括描述文件 Class. ptf 和 cb_generator. pl、用户存放硬件描述文件的 hdl_synthesis 文件及用来包含 HAL 软件文件的 HAL 文件夹^[13]。

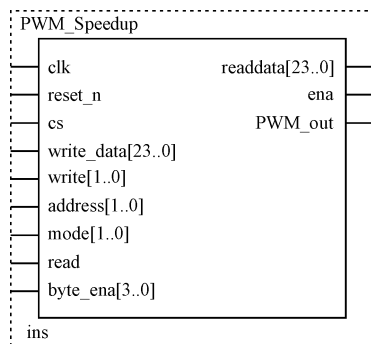


图 3 PWM 加减速模块图

其中,在 Signals 标签页面中,显示的是所有之前导入的顶层硬件代码中使用的 I/O 信号,所有这些信号都需要映射到有效的 Avalon 信号类型。组件编辑器自动填充在顶层 HDL 源文件中找到的信号细节,如果一个信号名与一个 Avalon 总线类型相同,则组件编辑器可以自动指定信号类型,否则将其设置为 export 类型,此时需要设计者针对具体设计指定信号类型。组件中使用信号的指定类型具体配置如图 4 所示。

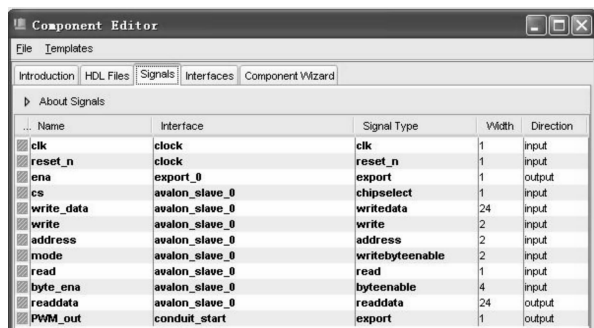


图 4 信号类型配置标签

由于所设计的 IP 核直接在 Nios II IDE 环境下进行软件编写,不需要提供组件的驱动,所以不需要软件文件的导入。最终创建的 IP 核系统配置图如图 5 所示,其中在 System Contents 标签下,用户新建的 User_IP 分组下出现了所创建的命名为 PWM_Speedup 的 PWM 加减速 IP 核。

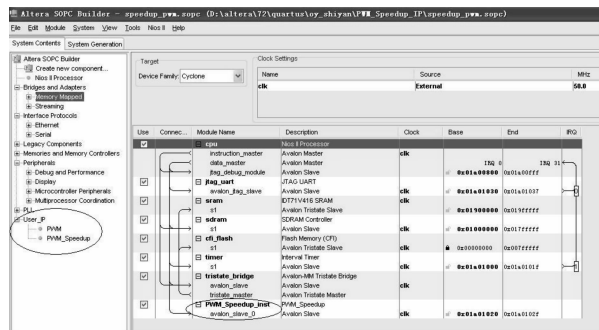
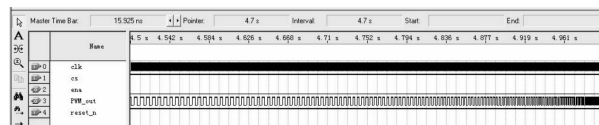


图 5 PWM 加减速 IP 核系统配置图

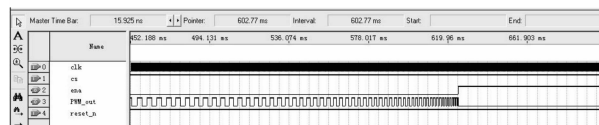
3 仿真调试与结果分析

仿真过程是在 Quartus II 中完成的。当输入 mode 为 01 时,对应的启动频率为 mode_50 Hz,即 50 Hz;加速度 speedup 设置为 1 000,加速度计数累加器 speedup_limit 的值设定为 480 000,即加速到 1.25 kHz。其仿真图如图 6(a)所示,输出 PWM 信号的频率从 50 Hz 加速到 1.25 kHz 停止,加速完成的同时输出使能信号 ena 由 0 变为 1,使能输出 PWM 恒速模块。

当输入 mode 为 10 时,对应的启动频率为 mode_100 Hz,即 100 Hz;加速度 speedup 设置为 2 000,加速度计数累加器 speedup_limit 的值设定为 230 000,即加速到 1.25 kHz。仿真图如图 6(b)所示,完成 PWM 信号从 100 Hz 加速到 1.25 kHz 的工作频率,然后通过使能 ena 信号调用下一 PWM 信号恒速模块。



(a) 输入mode为01时仿真图



(b) 输入mode为10时加速仿真图

图 6 PWM 加速过程仿真

当需要从恒速模块减速至低频率后停止时,只需要对加速模块的分频计数参数进行设置即可。

下载调试是在 Altera 公司 cyclone 系列 EP1C12Q240C8 的 FPGA 开发板上进行的,采用的是 86BYG450 型号

的步进电机和 DM808 驱动器。通过硬件电路的配置和 Nios II IDE 中软件程序的编写,最终调试结果表明,步进电机能平稳地从低速加速至设定的工作频率以及减速至较低频率停止。

4 结束语

本研究对基于 SOPC 的步进电机加减速 PWM 控制器 IP 核进行了初步设计,并经过实验仿真和调试。实验结果表明,该 IP 核结合 Nios II 系统强大的可扩展性,能够实现步进电机控制的启动加速和停止减速的控制环节,并且电机工作稳定,达到了预期设计目的。同时,在调用该 IP 核时,通过对启动频率参数、加速度和加速计数累加器值的设定,即可满足不同频率的 PWM 信号输出,具有很好的通用性,有效地缩短了开发时间,有利于模块的重复利用。

参考文献 (References):

- [1] 庞淑娟,倪受东.基于 FPGA 的步进电机速度控制器的设计[J]. 新技术新工艺,2008,4(1):32-33.
- [2] CABAL-YEPEZ E, CAROZZI T D, ROMERO-TRONCOSO R J. FPGA-based system for frequency detection of the main periodic component in time series information [J]. **Digital Signal Processing**,2008,18(6):1029-1044.
- [3] 胡云卿,白建华,詹晓东.基于 FPGA 的三相步进电机控制器[J]. 机电工程,2009,26(1):85-88.
- [4] 李兰英.Nios II 嵌入式软核 SOPC 设计原理及应用[M]. 北京:北京航空航天大学出版社,2006.
- [5] RODRIGUEZ F J, COBRECES S, BUENO E J. Control electronic platform based on floating-point DSP and FPGA for a NPC multilevel back-to-back converter[J]. **Electric Power Systems Research**,2008,78(9):1597-1609.
- [6] 安立宇.基于 Nios II 的步进电机细分控制系统设计与研究[D]. 上海:东华大学信息科学与技术学院,2008:2-3.
- [7] 余毅,马 骋,贾惠波.基于 Nios II 的 PWM 控制电路设计[J]. 微计算机信息,2008,24(6-1):7-8.
- [8] 周立功. SOPC 嵌入式系统基础教程[M]. 北京:北京航空航天大学出版社,2006.
- [9] MELLIT A, MESSAI H, KALOGIROU S A. FPGA-based implementation of intelligent predictor for global solar irradiation [J]. **Expert Systems with Applications**,2010,38(3):2668-2685.
- [10] Altera Corp.. Nios II Processor Developer's Handbook [EB/OL]. [2008-09-01]. <http://www.altera.com>.
- [11] 曹 勇,沈 斌,熊 伟. SOPC 中 Nios II 的 LCD 显示驱动 IP 设计[J]. 单片机与嵌入式系统,2010,6(1):16-18.
- [12] 向 荣,陈祖希,霍伟伟.基于 Nios II 的 LCD 驱动 IP 核的设计[J]. 计算机工程,2008,34(5):246-247.
- [13] 李成利,孙月飞.基于 FPGA 的 PWM 变频控制芯片研究 [J]. 微计算机信息(嵌入式与 SOC),2008,24(12):196-197.

[编辑:柴福莉]