

一种 SRAM 成品率专用测试结构的设计方法

熊 建, 潘伟伟, 史 峥

(浙江大学 超大规模集成电路设计研究所, 浙江 杭州 310027)

摘要: SRAM 的成品率是半导体制造量产能否成功的关键。针对通用的工艺测试结构无法满足 SRAM 特殊要求的问题, 阐述了一种 SRAM 成品率专用测试结构的设计方法。在 SRAM 原始版图的基础上改变设计以构造测试图形, 并按阵列形式排布, 有针对性地评估工艺环境造成的缺陷。研究表明该方法还原了产品电路的设计环境, 能有效捕获违背 SRAM 特殊设计规则所造成的开路或短路缺陷, 从而有助于快速修正设计误差, 提升成品率。

关键词: 静态随机存储器; 成品率; 测试结构

中图分类号: TN43

文献标志码: A

文章编号: 1001-4551(2011)03-0381-04

Design method of SRAM-specific test structure for yield improvement

XIONG Jian, PAN Wei-wei, SHI Zheng

(Institute of VLSI Design, Zhejiang University, Hangzhou 310027, China)

Abstract: Yield of SRAM is essential to mass-production of semiconductor products. Aiming at the incapacity of general test structures to meet special requirements of SRAM, a design method of SRAM-specific test structures for yield improvement was described. It was built based on the oriented SRAM cells which were modified and then rearranged into an array environment to collect information of process defect. Results indicate that this method is SRAM-product-oriented to capture open/short defect caused by violation of the special SRAM design rule, further to correct design error for yield improvement.

Key words: static random access memory (SRAM); yield; test structure

0 引 言

静态随机存储器(SRAM)是目前半导体存储器中速度最快的。随着片上系统(SoC)数据处理能力的提升,系统的SRAM模块不再是单独封装成一个芯片,而是嵌入到系统内部作为一个IP模块,并且嵌入的SRAM性能直接影响整个系统的性能。统计表明SoC中SRAM平均使用面积超过了芯片面积的50%^[1]。另一方面,静态存储器IP不仅是SoC客户最重要的IP核之一,而且是衡量晶圆厂工艺成熟度的指标。因此,SRAM的成品率(Yield)成为现代晶圆厂非常重要的问题。随着半导体器件特征尺寸的缩小和晶圆面积的增大,尤其是特征尺寸降到130 nm及以下后,如何提

高SRAM的成品率将成为决定生产线量产成败的关键。

常规的半导体工艺测试结构,如平行线梳状或蛇状结构等,已经无法满足SRAM电路高稳定性及高可靠性等特殊要求^[2,4]。这是因为常规的工艺测试结构只能满足通用的工艺开发和版图设计规则,而无法满足SRAM阵列环境下特殊的设计规则。例如,通常使用多晶硅平行线(梳状或蛇状)来验证最小多晶硅间距^[5],但由于SRAM的硅栅设计更为复杂,导致它们无法反映SRAM真实设计规则。同样地,SRAM金属线通常为45°非规则多边形^[6],因此传统的平行金属线测试结构也无法用来验证SRAM金属层的设计规则。

在使用电学测试结构检测 SRAM 工艺缺陷时需要转换设计理念:测试结构需要面向产品和工艺开发^[7]。依据这种方法学,SRAM 专用测试结构的基本设计思路主要有两步:第 1 步是在原始版图的基础上改变设计以构造测试图形;第 2 步是将修改后的 SRAM 版图单元按照原始 SRAM 结构重复排列成大型矩阵,然后在整个阵列中测量需要重点关注的工艺参数。

本研究针对通用的工艺测试结构无法满足 SRAM 特殊要求的问题,阐述了一种 SRAM 成品率专用测试结构的设计方法。

1 测试结构描述

检测 SRAM 设计的基本电学参数包括:①漏电流—测量同层或层间桥接;②电阻—测量连接完整性,如缺陷造成的开路、短路等;③SRAM 晶体管特征—相对于标准晶体管的偏差,如漏电流、伏安特性曲线等。

SRAM 专用测试结构需要达到足够的灵敏度来检测上述参数,同时能捕获存储器单元可能产生的系统缺陷或随机缺陷。除隔离环境外,测试结构还需要能够在 SRAM 阵列环境下准确描述多个晶体管的特征参数。此外,为验证可制造性,SRAM 专用测试结构需要重点关注基本单元版图的特殊设计规则,因为每条设计规则的抗波动性能将直接影响 SRAM 单元的稳定性。

SRAM 基本单元版图如图 1 所示,其中图 1(a)为前端工艺设计规则,包括:①多晶硅间距 A、B;②多晶硅与通孔间距 C、D、E;③通孔间距 F 以及表征 SRAM 稳定性的专有特征,如特殊连接通孔 G 和 H。

图 1(b)展示了后端工艺关键设计规则,包括:①通孔间距;②金属间距;③不同层金属与通孔间的桥接(1,2,3,4),关键通孔位置、大小(A 到 F)。

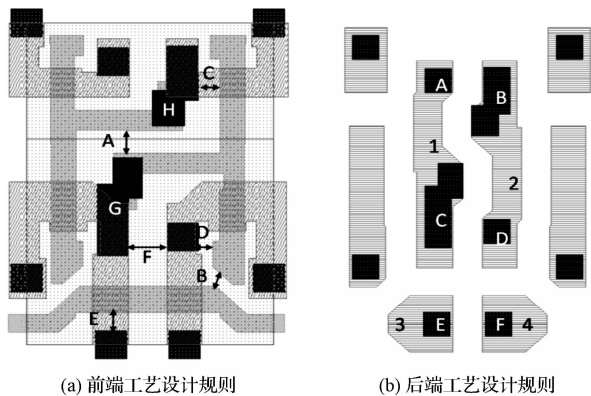


图 1 SRAM 基本单元版图设计规则

SRAM 专用测试结构的基本设计思路主要有两步:第 1 步是在原始版图的基础上改变设计以构造测试图形。例如,修改原始金属层以构造短路测试结构,

将多晶硅层最小尺寸扩大 10% 后研究多晶硅连接、通孔与多晶硅连接,对通孔实施偏移操作以测量通孔偏移对整个单元漏电流的影响等。第 2 步是将修改后的 SRAM 版图单元按照原始 SRAM 结构重复排列成大型矩阵,重点关注的参数如漏电流、电阻等需要在整个阵列中测量。

如图 2 所示,为了测量电路是否因为违背设计规则而造成金属短路,通常采用梳状金属平行线测试结构(如图 2(a)所示),该测试结构检测两线之间的电阻,若其小于特定值便可判定电路出现短路故障。为了构造 SRAM 专用测试结构,需要在原始版图上添加连接金属形成类似的梳状金属线结构,然后删除不相关部分。如图 2(b,c)所示,修改后的结构既保留了 SRAM 单元版图的特征,同时具有与梳状结构相同的电学连接。

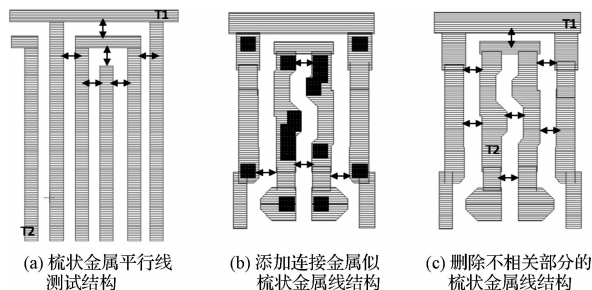


图 2 SRAM 修正版图以检测金属层短路

电路缺陷具有随机性,因此测试结构需要一定面积的重复单元才能有效捕捉可能出现的缺陷^[8]。将修改后的 SRAM 版图单元重复排列成大型矩阵,漏电流、电阻等静态信息便可以从大量的单元中收集而来,从而有助于测试人员分析结果,增强电路的稳定性。由图 1(a)的 SRAM 基本单元修改后重复排列成的 SRAM 金属短路专用测试结构(为清晰起见,未显示多晶硅层)如图 3(a)所示,该结构测量图 1(a)中的 F,即金属或通孔造成的短路,其测试原理与平行线梳状结构相同如图 3(b)所示。

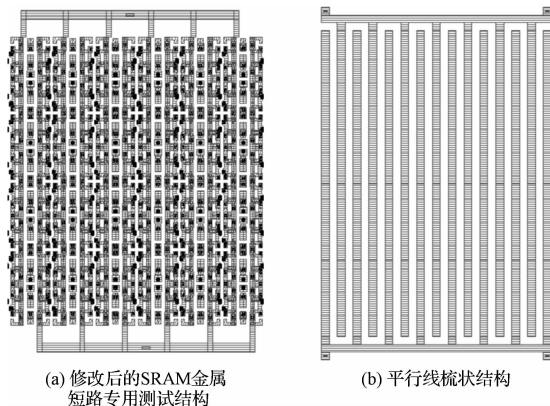


图 3 SRAM 金属短路专用测试结构

与传统的工艺监控测试结构相比,新方法具有如下优点:①测试结构源自SRAM基本单元,更能反映SRAM单元设计的特征;②测试结构专门用来评估真实环境中SRAM特殊的设计规则而不是通用的设计规则;③采集自SRAM矩阵环境的数据信息更能反映真实的产品环境,从而捕获真实工艺过程的偏差。

2 实验结果与分析

基于前一节所述SRAM专用测试结构的设计方法,本节对130 nm成熟工艺测试的数据进行分析,并且选取图3(a)所示测试结构的测试参数进行分析。

2.1 专用测试结构的效果

通孔偏移对成品率的影响(缺陷造成多晶硅短路)如表1所示。通常工业界用合格芯片数占晶圆上芯片总数的比例来表征成品率^[9],本研究中的成品率表示为合格结构数占晶圆上结构总数的比例。如表1所示,测试结构类别分为Normal与SRAM两类,即常规测试结构与SRAM专用测试结构。针对这两种结构通过实验所测得的成品率不尽相同,零偏移或较小偏移情况下,SRAM专用测试结构和常规测试结构的成品率基本相同,但是在较大负偏移($-0.06\ \mu\text{m}$)下,SRAM专用测试结构的成品率仅为15.20%,远远低于常规测试结构44.31%,这也说明对于特殊的设计规则,专用测试结构具有更高的敏感性。

表1 通孔偏移对成品率的影响

通孔偏移量/ μm	测试结构类别	总结构数	短路结构数	成品率/(%)
-0.06	Normal	4 848	2 700	44.31
-0.06	SRAM	14 544	12 333	15.20
-0.04	Normal	4 848	362	92.53
-0.03	SRAM	14 544	581	96.01
-0.02	Normal	4 848	141	97.09
0	SRAM	33 936	1 188	96.50
0	Normal	162 408	1 259	99.23
+0.02	Normal	4 848	154	96.82
+0.03	SRAM	14 544	298	97.95
+0.04	Normal	4 848	730	84.94
+0.06	Normal	4 848	3 651	24.69
+0.06	SRAM	14 544	10 815	25.64

2.2 测试位置对成品率的影响

同样是通孔偏移对成品率的影响,晶圆上不同位置的测试成品率如图4所示。对比 $+0.06\ \mu\text{m}$ 与 $-0.06\ \mu\text{m}$ 可知,负偏移造成短路更加明显,对 $\pm 0.06\ \mu\text{m}$

与 $\pm 0.03\ \mu\text{m}$ 可知,偏移较大时将严重降低成品率。另一方面,晶圆边缘尤其是右上角的成品率相对更低,这是因为工艺制程变异在晶圆边缘发生的概率较高。在反应炉管内进行的高温工艺中,晶圆外围边缘加热和冷却的速度稍快,变异相应增多,造成损伤较大^[10]。至于右上角的缺陷较多,则是由于光刻角度原因造成。

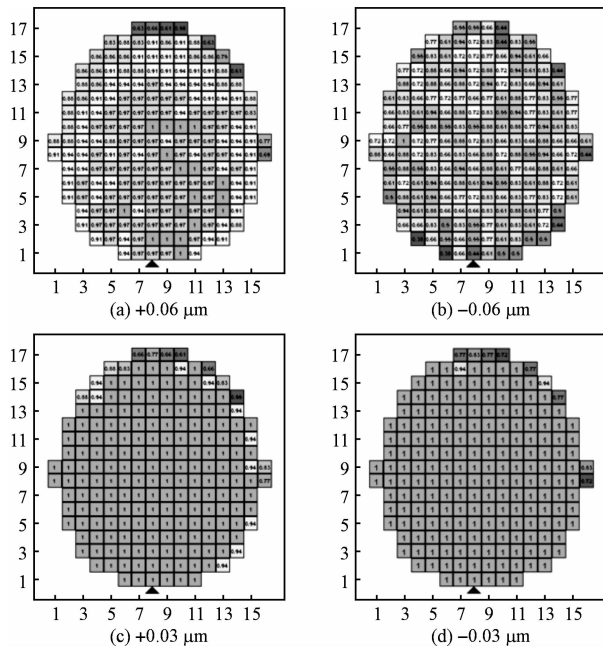


图4 晶圆成品率分布图

2.3 测试漏电流

漏电流累积分布图(如图5所示)展示了不同通孔偏移($-0.06\ \mu\text{m}$, $-0.03\ \mu\text{m}$, $0.00\ \mu\text{m}$)对SRAM漏电流的影响,显然, $-0.06\ \mu\text{m}$ 的偏移造成了较大的漏电流,而这也与图4显示的结果相符。

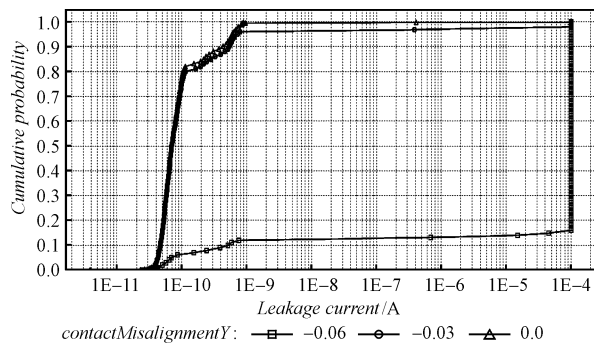


图5 漏电流累积分布图

2.4 测量电阻

根据通孔电阻的测试数据绘制的通孔电阻累积分布图如图6所示,其中 x 轴对电阻值取对数运算。如图所示,在95%的比例下,测量通孔的平均电阻值为 $30.25\ \Omega$,考虑金属连接的影响,该测量值与通孔理论电阻保持一致。

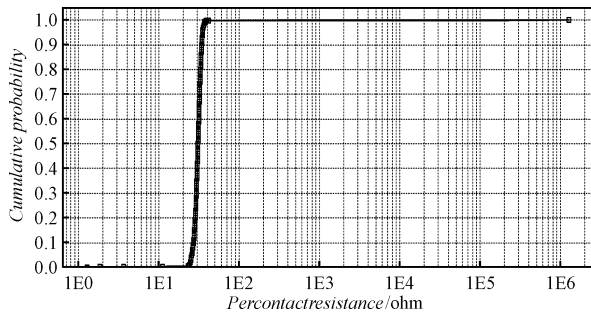


图 6 通孔电阻累积分布图

3 结束语

如何维持及提高成品率对半导体工业至关重要。鉴于 SRAM 电路设计的特殊性,传统的半导体工艺测试结构已经无法满足其可制造性、稳定性和可靠性等要求。因此,在使用电学结构测试 SRAM 工艺时需要转换设计理念:测试结构需要面向产品和工艺开发。本研究阐述了如何设计和使用 SRAM 专用测试结构来快速评估工艺设计的缺陷,从而提高成品率。与通用的测试结构相比,SRAM 专用测试结构还原了产品电路的设计环境,因而能更好地刻画真实环境下的器件特性及其成品率。实验结果表明,SRAM 专用测试结构不但能够准确地测量各种电学参数,还能捕获违背 SRAM 特殊设计规则造成的开路短路缺陷,因而能帮助半导体工艺工程师快速地寻找缺陷,并进一步修正它们从而提升其成品率。

(上接第 376 页)

组合:齿槽长度为 1.44 mm,气隙大小为 0.55 mm,磁极厚度是 3 mm。经过对轮毂电机的数值模拟分析,优化了结构参数,为轮毂式永磁电机的设计提供了依据。

参考文献 (References):

- [1] GHOGGAL A, ZOUZOU S E, RAZIK H, et al. An improved model of induction motors for diagnosis purposes-Slot skewing effect and air-gap eccentricity faults[J]. *Energy Conversion and Management*, 2009, 50(5): 1336-1347.
- [2] ZHANG Xiao-wen, WANG Xiao-yuan, DU Jing-juan, et al. Amelioration of coreless permanent-magnet disk synchronous motor based on FEM: motor with wedge airgap[J]. *Journal of Iron and Steel Research*, 2006(13): 427-432.
- [3] ISHAK D, ZHU Z Q, HOWE D. High torque density permanent magnet brushless machines with similar slot and pole numbers[J]. *Journal of Magnetism and Magnetic Mate-*

参考文献 (References):

- [1] SCHLICHTMANN U. Tomorrows High-Quality SoCs Require High-Quality Embedded Memories Today [C]//Proceedings of the International Symposium on Quality Electronic Design. San Jose: [s. n.], 2002:225.
- [2] SIVA N, VIVEK D, RON W. Process Variation: Is It too Much to Handle? [C]//Proceedings of The International Symposium on Quality Electronic Design. San Jose, California: [s. n.], 2002:213.
- [3] 张 峰. 一种新的基于 SRAM 的快速综合技术[J]. 固体电子学研究与发展, 2005, 26(2): 255-258.
- [4] DOONG K Y Y. Defect detection for short-loop process and SRAM-cell optimization by using addressable failure site test structures (AFS-TS) [J]. *Proceedings of SPIE*, 2002, 4692(7): 81-87.
- [5] KHARE J B. Extraction of defect size distributions in an IC layer using test structure data [J]. *IEEE Transactions on Semiconductor Manufacturing*, 1994, 8(7): 354-368.
- [6] 王万业. CMOS SRAM 存储单元研究[J]. 半导体技术, 1997, 4(2): 32-35.
- [7] KURDAHI F J. System-Level SRAM Yield Enhancement [C]. ISQED 2006. San Jose: [s. n.], 2006.
- [8] 王俊平. 椭圆缺陷的成品率估计[J]. 西安电子科技大学学报:自然科学版, 2006, 33(3): 433-437.
- [9] BALIGA J. Yield Management [M]. Semiconductor International, 1998.
- [10] [美] ZANT P V. 芯片制造 [M]. 赵树武, 译. 4 版. 北京: 电子工业出版社, 2004: 96-98. [编辑: 李 辉]

rials, 2004(272-276): 1769-1769.

- [4] 徐英雷, 李群湛, 王 涛. 永磁同步电机空载气隙磁密波形优化[J]. 西南交通大学学报, 2009, 44(4): 513-516.
- [5] 黄 晟, 任智杰, 黄科元, 等. 永磁同步电动机气隙磁密优化方法研究[J]. 微电机, 2009(10): 26-29.
- [6] 刘吉柱, 郝双晖, 孙明冲, 等. 永磁同步轮毂电机设计及其弱磁控制研究[J]. 微电机, 2001(2): 17-22.
- [7] 何伟军, 卢琴芬, 叶云岳. 大功率异步起动永磁同步电动机空载气隙磁密分析[J]. 机电工程, 2008, 25(7): 55-57.
- [8] 田胜元, 萧曰嵘. 实验设计与数据处理 [M]. 武汉: 中国建筑工业出版社, 2005.
- [9] 唐任远. 现代永磁电机理论与设计 [M]. 北京: 机械工业出版社, 1997.
- [10] 裴 峰, 高 原, 李玉生, 等. 带整流负载同步发电机的电压波形分析[J]. 机电设备, 2007(7): 37-40.

[编辑: 李 辉]