

一个带反馈的低压低功耗比较器的设计

余有芳

(浙江商业职业技术学院, 浙江 杭州 310053)

摘要:为解决比较器的低压低功耗的问题,将低压和反馈等电路技术应用到比较器的设计中。开展比较器的电路结构与功耗的分析,在比较器中只使用一个重生的锁存器,使比较器能在低压下工作,此外,使用动态反馈的技术,当比较器比较结束时,由数字逻辑判断电路检测并关闭比较器,使比较器只消耗动态功耗,因而有效地降低了比较器的平均功耗。使用 Cadence 仿真这个比较器,仿真结果表明,带反馈的低压比较器适合于低压的工作,且具有很低的功耗。

关键词:比较器;低压;低功耗

中图分类号:TM13;TN47

文献标志码:A

文章编号:1001-4551(2011)01-0127-04

Design of low-voltage and low-power comparator with feedback

YV You-fang

(Zhejiang Vocational College of Commerce, Hangzhou 310053, China)

Abstract: In order to solve the problems of low-voltage and low-power comparator, the circuit technology of low voltage and feedback was investigated. The circuit structure and power consumption of the comparator were analyzed. The comparator can be used in low voltage by using only one regeneration latch. And only the dynamic power consumption was consumed. By the digital logic detection circuit, the comparator was detected and shutten down. When the comparison was over, the average power consumption of the comparator was reduced efficiently. At last, the low voltage comparator with feedback was simulated by Cadence. The simulation results show that the low voltage comparator with feedback is suit for low voltage with very low power consumption.

Key words: comparator; low-voltage; low-power

0 引言

随着集成电路工艺的进步,工艺尺寸和掺杂浓度等成比例地减小,要求电源电压随之降低;同时,便携式仪器的广泛应用也促使电路的工作电压不断降低。数字电路的动态功率消耗公式为^[1]:

$$P_{\text{dyn}} = p_t \cdot C_L \cdot f_{\text{clk}} \cdot V_{\text{dd}}^2 \quad (1)$$

式中: p_t —消耗电流的电压跳变发生的概率, C_L —寄生电容, f_{clk} —工作频率, V_{dd} —电源电压。

工艺的进步导致电路的寄生电容减小,因此电源电压的降低使数字电路的功耗大大降低。

但是电源电压的降低使模拟电路的设计更加困难。首先,电源电压的降低限制了信号的摆幅,而噪声

并没有相应减小,导致了动态范围的降低;另一方面,晶体管的阈值也没有随电源电压成比例地减小,因此很多应用于较高电压的电路结构必须被修改以适应低压的要求,这就使模拟电路的设计更加困难,电路的性能也随之降低。因此,现代的集成电路将越来越多的模拟功能转移至数字域,在保持高性能的同时降低功耗。

比较器是模/数转换器(ADC)中的重要组成部分,例如用在流水线型(Pipeline)和 $\Sigma\Delta$ 模/数转换器中的比较器^[2-3]对信号作低位的量化,这些比较器要求较高的速度,但失调和迟滞的要求不高。在流水线型的模数转换器中,当使用冗余符号字(RSD)校正时,对于每级 b 位的分辨率,可以容忍比较器的失调为 $\pm V_{\text{ref}}/2^b$ ^[4](其中, V_{ref} 是基准电压);在 $\Sigma\Delta$ 模/数转换

器中,当使用 b 位的量化器时,与流水线型的模/数转换器相同,也可以容忍比较器的失调 $\pm V_{ref}/2^b$ 。在这些情况下,动态比较器是一个好的选择。动态比较器有较大的失调,但其只消耗了动态功耗,因而大大减小了比较器的平均功耗。

低压的要求使得传统的比较器不再适用,因此必须修改比较器的结构以符合低压的要求。在流水线型和 $\Sigma\Delta$ 模/数转换器中,比较器通常有半个周期在复位状态,而另半个周期处于工作状态,当修改比较器以适应低压的要求时,比较器在半个周期的工作状态时往往既消耗动态功耗,也消耗静态功耗。本研究提出了一个低压比较器,使用数字反馈技术实时检测比较器输出的变化,当比较器完成比较时,控制电路关闭比较器,实现了与传统的比较器相同的功能,因而降低了比较器的功耗。

1 比较器分析

1.1 传统的动态比较器

一个传统的动态比较器^[5]如图 1 所示。

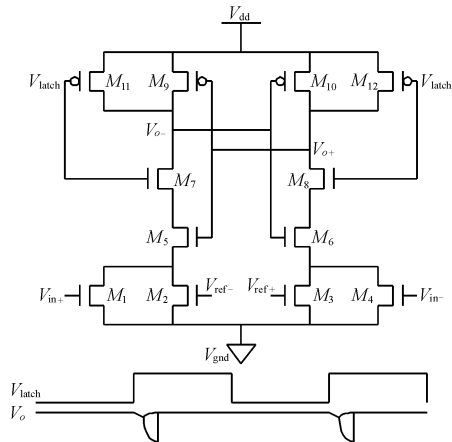


图 1 动态比较器

图 1 中的比较器省略了 SR 锁存器。晶体管 $M_1 : M_4$ 工作在线性区,实现内置的阈值。假设 M_1 和 M_4 有相同的宽度 W_1 , M_2 和 M_3 有相同的宽度 W_2 , 那么这个内置的阈值是:

$$V_{in} |_{\text{threshold}} = \frac{W_2}{W_1} \cdot V_{ref} \quad (2)$$

其中, $V_{in} = V_{in+} - V_{in-}$, $V_{ref} = V_{ref+} - V_{ref-}$ 。 $M_5 : M_{12}$ 形成了一对互补的锁存器。这个比较器的工作如下,当锁存器的控制信号为低时 ($V_{latch} = 0$), M_{11} 和 M_{12} 导通, M_7 和 M_8 截止,比较器的输出 V_{o+} 和 V_{o-} 都被拉至电源电压 V_{dd} ,在 V_{dd} 和电源地 V_{gnd} 之间没有电流通过。当比较器开始锁存时 ($V_{latch} \rightarrow V_{dd}$), M_{11} 和 M_{12} 截止,而

M_7 和 M_8 导通,由于输入电压和基准电压作用于 $M_1 : M_4$, M_5 和 M_6 的源极连接了不同的电阻,互补锁存器的正反馈使比较器的输出分别达到 V_{dd} 和 V_{gnd} ,如图 1 中的 V_o (V_o 表示 V_{o+} 和 V_{o-}),这个输出驱动后面的 SR 锁存器,改变之前的输出结果。同时,这样的输出仍然使电源电压 V_{dd} 和模拟地 V_{gnd} 之间没有电流通路,保证了动态比较器的低功耗特性:比较器只在从比较开始到比较输出这段时间消耗动态电流,而在其余时间,比较器处于截止状态。

这个比较器要求一个较高的工作电压:

$$V_{dd} > V_{thn} + V_{thp} \quad (3)$$

式中: V_{thn} , V_{thp} —N 型和 P 型晶体管的阈值电压。

这限制了这种比较器的应用范围。低的电源电压要求改变比较器的架构。

1.2 低压比较器

一个低压比较器的实现如图 2 所示。

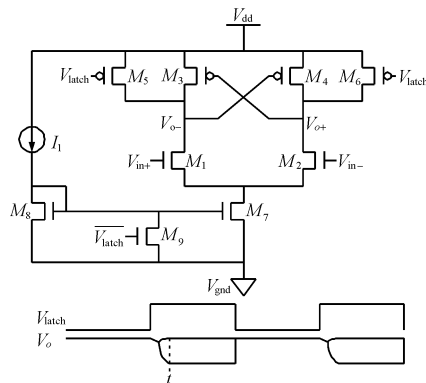


图 2 低压比较器

M_1 和 M_2 是输入晶体管,将不同输入电压转换为不平衡的电流信号, M_3 和 M_4 是 P 型锁存器, M_5 和 M_6 是复位晶体管, M_7 是尾电流镜像管。类似于动态比较器,当控制信号为低时 ($V_{latch} = 0$), M_5 和 M_6 导通,将比较器的输出拉至 V_{dd} , M_9 导通, M_7 截止,因此在 V_{dd} 和 V_{gnd} 之间没有电流通路,比较器处于复位状态,不消耗电流。当控制信号变为高时 ($V_{latch} \rightarrow V_{dd}$), M_5 和 M_6 截止, M_9 截止, M_7 导通,比较器的两个输出同时降低,当电压降至 $V_{dd} - |V_{thp}|$ 时, M_3 和 M_4 导通,锁存器开始正反馈,根据 M_1 和 M_2 转换的不平衡的输入电流,锁存器的输出最终分别达到 V_{dd} 和 V_{gnd} 。

为了限制比较器在比较时消耗较大的电流, M_7 由偏置电路(由电流源 I_1 和连接成二极管形式的 M_8 组成)控制,因此使比较器在比较时不会消耗大于 I_1 的电流,限制了电流的消耗。

这个比较器的缺点是当比较结束后到控制信号变低期间,比较器仍然有一个静态的电流消耗,如图 2 的

V_o 所示,在时间 t 时,比较器的输出已形成,但是比较器仍然要等到 V_{latch} 下降时才能截止。

1.3 带反馈的低压比较器

比较器的比较时间(从 V_{latch} 变高至比较器的输出分别达到 V_{dd} 和 V_{gnd})依赖于偏置电流和输入信号的大小。偏置电流和输入信号越大,比较时间越短。以图 2 的低压比较器为例说明这种情况,在不同的输入信号时,比较器输出变化的快慢不同,如图 3 所示。

+ V_o ($V_{in}=1 \mu V$) ■ V_o ($V_{in}=10 \mu V$) ⇨ V_o ($V_{in}=100 \mu V$)
 ▲ V_o ($V_{in}=1 mV$) ▼ V_o ($V_{in}=10 mV$) × V_o ($V_{in}=100 mV$)
 - V_{latch} ($V_{in}=1 \mu V$)

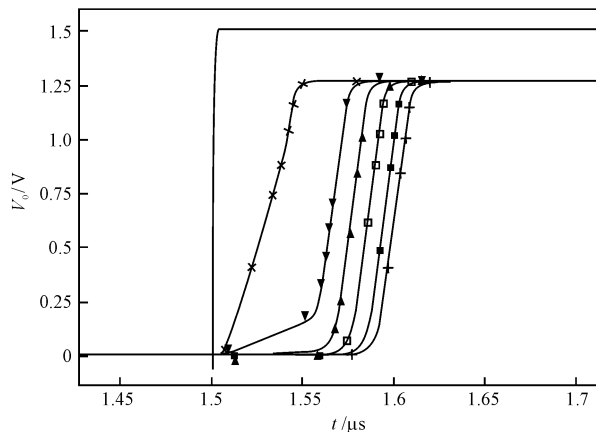


图 3 不同输入时的比较器输出

在本研究中,电源电压设为 1.5 V,偏置电流设为 10 μA ,输入电压分别为 0.001 mV、0.01 mV、0.1 mV、1 mV、10 mV 和 100 mV。仿真结果表明,输入信号越小,比较器的比较时间越长。为了保证比较器有足够的分辨率,图 2 的低压比较器的控制信号 V_{latch} 必须有足够的使能时间。在动态比较器的情况下,当比较结束,比较器就截止,而这个低压的比较器有一个固定的电流消耗,相比于动态比较器,低压比较器的电流消耗更大。

为了解决这个问题,本研究提出了一个使用数字反馈控制逻辑电路来控制比较器的控制信号 V_{latch} ,这个比较器的实现的示意图如图 4 所示。由 M_3 和 M_4

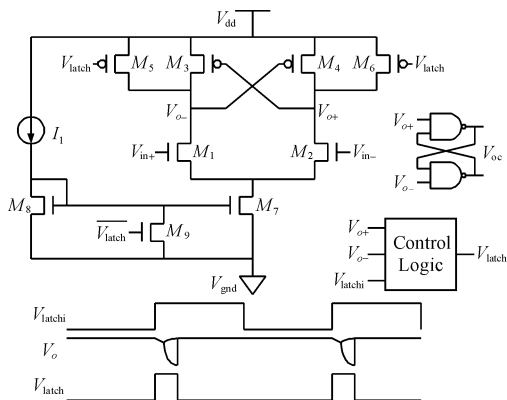


图 4 低压低功耗比较器

形成的锁存器的输出经 SR 锁存器输出比较器的比较结果(V_{oc})。控制逻辑的使用不影响比较器的输出。

控制逻辑的一个实现如图 5 所示。

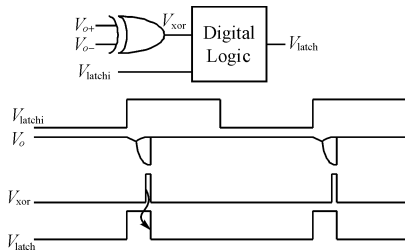


图 5 控制逻辑的实现

比较器的输出作为一个异或门的输入,产生输出 V_{xor} ,当比较器的输出达到 V_{dd} 和 V_{gnd} , V_{xor} 变高,这个变化触发数字逻辑,使 V_{latch} 变低,实现了预定的功能。

相比于动态比较器,这个带数字反馈逻辑的低压比较器增加了数字电路,但是由于集成电路工艺的进步,这部分数字电路的实现没有增加太多的面积和功耗。

2 仿真结果

本研究使用 0.35 μm 的 CMOS 工艺实现图 4 的带数字反馈逻辑的低压比较器^[6-10]。这个工艺的晶体管的阈值分别是 0.81 V (NMOS) 和 -1.12 V (PMOS)。仿真结果如图 6 所示。 V_{dd} 设为 1.5 V, I_1 为 10 μA ,输入的共模电压设为 $4V_{dd}/5$ 。图 6 的比较器的平均电流只为比较器的电流(即图 4 中的 M_7 的电流)。从图 6 中可清楚地看到,比较器的输入电压越大,比较器消耗的平均电流越小。

这个比较器可以工作于低至 1.2 V 的电源电压。

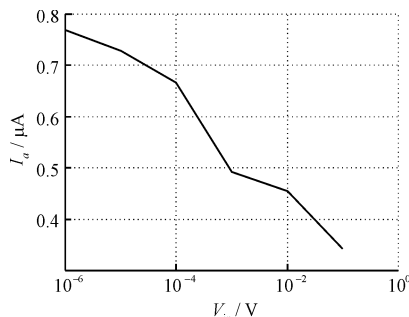


图 6 不同输入时比较器的平均电流

为了实现比较器的阈值,可以使用开关电容的办法。

3 结束语

本研究提出了一个低压低功耗比较器的设计方法。在这个比较器中只使用了一个重生的锁存器,因此可以实现仅大于一个阈值的电压的应用,仿真结果

表明,电源电压低至 1.2 V,比较器仍然可以正常工作。比较器中也使用了数字控制反馈逻辑,实时检测比较器输出的变化,当比较完成时关闭比较器,因此实现了低功耗的目标。

参考文献 (References):

- [1] CHANDRAKASAN A P, SHENG S, RODERSEN R W. Low-power CMOS digital design[J]. **IEEE Journal of Solid State Circuits**,1992,27(4):473-484.
- [2] DEVARAJAN S, SINGER L, KELLY D, et al. A 16-bit, 125 MS/s, 385 mW, 78.7 dB SNR CMOS pipeline ADC [J]. **IEEE Journal of Solid-State Circuits**, 2009, 44 (12):3305-3313.
- [3] CHAE Y, HAN G. Low voltage, low power, inverter-based switched-capacitor delta-sigma modulator [J]. **IEEE Journal of Solid-State Circuits**,2009,44(2):458-472.
- [4] SUMANEN L, WLATARI M, HAKKARAINEN V, et al.

CMOS Dynamic Comparators for Pipeline A/D Converters [C]// IEEE International Symposium on Circuits and Systems. Phoenix: [s. n.],2002:157-160.

- [5] CHO T B, GRAY P R. A 10 b, 20 Msample/s, 35 mW pipeline A/D converter [J]. **IEEE Journal of Solid-State Circuits**,1995,30(3):166-172.
- [6] RAZAVI B. Design of Analog CMOS Integrated Circuits[M]. McGraw-Hill,2000.
- [7] BAKER R J, LI H W, BOYCE D E. CMOS Circuit Design, Layout, and Simulation[M]. Wiley,1997.
- [8] GRAY P R, HURST P J, LEWIS S H, et al. Analysis and Design of Analog Integrated Circuits[M]. 4th ed. Wiley, 2001.
- [9] ALLEN P E, HOLBERG D R. CMOS Analog Circuit Design [M]. 2nd ed. Oxford University Press,2002.
- [10] JOHNS D, MARTIN K. Analog Integrated Circuit Design [M]. Wiley,1996.

[编辑:李 辉]

(上接第 120 页)

精度高、速度快,且该模型对于有功和无功都具有较好的描述能力,为下一步建立牵引供电品质分析平台奠定了基础。

随着高速铁路的推广,研究整个高速铁路牵引供电系统和公用电网在负序、谐波、功率因数、电压波动、闪变等方面的相互影响规律将具有更实际的意义,因此,对牵引供电系统进行负荷建模将是下一步的研究方向。

参考文献 (References):

- [1] 张曙光.京沪高速铁路系统优化研究[M].北京:中国铁道出版社,2009.
- [2] 姜东杰.CRH3 型动车组牵引传动系统[J].铁道机车车辆,2008,28(B12):95-99.
- [3] 陶良慧.三点式四象限脉冲整流器控制策略研究[D].成都:西南交通大学电气工程学院,2008.
- [4] AKAGI H, FUJITA H. A new power line conditioner for harmonic compensation in power systems[J]. **IEEE Transactions on Power Delivery**,1995,10(3):1570-1575.
- [5] KATAOKA T. A pulse width controlled AC-to-DC converter to improve power factor and waveform of AC line current [J]. **IEEE Transactions on Industry Applications**,1979. IA-15(6):670-675.
- [6] 鞠 平,李德丰.感应电动机综合负荷的参数辨识[J].电工技术学报,1999,14(1):1-6.
- [7] 鞠 平,马大强.电力系统负荷建模[M].北京:中国电力出版社,2008.
- [8] CHOI Byoung-Kon, CHIANG Hsiao-Dong. Multiple solu-

tions and plateau phenomenon in measurement-based load model development: issues and suggestions [J]. **IEEE Transactions on Power Systems**,2009,24(2):824-831.

- [9] CHOI Byoung-kon, CHIANG Hsiao-dong, LI Yin-hong, et al. Measurement-based dynamic load models: derivation, comparison, and validation [J]. **IEEE Transactions on Power Systems**,2006,21(3):1276-1283.
- [10] RUDION K, GUO H, ABILDGAARD H, et al. Non-Linear Load Modeling-requirements and Preparation for Measurement[C]//Power & Energy Society General Meeting, 2009. PES 09. IEEE,2009:1-7.
- [11] HAN Dong, HE Ren-mu, XV Yan-hui, et al. Measurement-based Load Modeling Validation by Artificial Three-phase Short Circuit Tests in North East Power Grid [C]// Power Engineering Society General Meeting,2007:1-6.
- [12] 胡家声,郭创新,曹一家.基于扩展粒子群优化算法的同步发电机参数辨识[J].电力系统自动化,2004,28(6):35-40.
- [13] 丁玉凤.粒子群优化算法及其在电力系统经济运行中的应用[D].武汉:华中科技大学电气与电子工程学院,2005:10-23.
- [14] 曾建潮,介 婧,崔志华.微粒群算法[M].北京:科学出版社,2004.
- [15] 李欣然,张广东,朱湘有,等.牵引供电系统综合负荷模型结构[J].电力系统自动化,2009,33(16):71-75.
- [16] 尚勇智,章巧芳,彭 伟.基于 ANSYS 软件的气动钉枪枪针组件的有限元分析[J].轻工机械,2009(6):87-90.
- [17] 石 峰.基于 ANSYS 软件的注塑机定模板的设计与优化[J].轻工机械,2008(4):13-16. [编辑:柴福莉]