

# IBIS 模型的信号完整性研究与仿真应用

徐文波<sup>1</sup>, 保长先<sup>2</sup>, 王 健<sup>1,2\*</sup>

(1. 杭州电子科技大学 电子信息学院, 浙江 杭州 310018; 2. 聚光科技(杭州)股份有限公司, 浙江 杭州 310052)

**摘要:** 针对 IBIS 模型的正确应用, 提出了快速验证 IBIS 模型的准确性以及 IBIS 模型在信号完整性分析中的仿真方案。首先介绍了模型中数据之间的一种隐含联系, 能快速检验所获取 IBIS 模型的正确性; 其次对光纤测温系统进行了基于 IBIS 模型的信号完整性仿真分析, 从 IBIS 模型中提取引脚的输出阻抗进行反射仿真, 然后, 在相同线宽的条件下, 对不同信号间距的两条平行走线进行串扰仿真, 确定安全走线间距。实践结果表明, 由 IBIS 模型中提取的信息和仿真得出的结果能够满足高速数字电路设计对信号质量的要求。

**关键词:** 高速数字设计; IBIS 模型; 信号完整性; 仿真分析

中图分类号: TN401

文献标志码: A

文章编号: 1001-4551(2011)01-0123-04

## Research and simulation of IBIS model in signal integrity

XV Wen-bo<sup>1</sup>, BAO Chang-xian<sup>2</sup>, WANG Jian<sup>1,2</sup>

(1. College of Electronics Information, Hangzhou Dianzi University, Hangzhou 310018, China;

2. Focused Photonics Inc., Hangzhou 310052, China)

**Abstract:** Aiming at proper application of IBIS model, quickly verifying the accuracy of IBIS model and the simulation program of IBIS model in signal integrity analysis were presented. Firstly, an implicit connection between the data of model was introduced, in order to quickly verify the accuracy of IBIS model; secondly, based on IBIS model, signal integrity simulation and analysis of optic fiber temperature measure system were discussed. After extracting output impedance from IBIS model, the reflection simulation was carried out, and then, under the same line width, the crosstalk simulation was executed at different signal distances, in order to ensure the safety of signal distance. The results indicate that the information extracted from the IBIS model and the result of simulation can satisfy signal quality requirements in high-speed digital circuit design.

**Key words:** high-speed digital design; IBIS model; signal integrity; simulation and analysis

## 0 引 言

在高速数字设计中, 随着信号频率越来越高, 信号的上升沿越来越快, 信号完整性问题在设计中显得越来越突出。在激烈的市场竞争下, 缩短设计周期, 保证设计的一次成功性, 已经成为企业生存的关键因素之一, 而仿真分析成为设计过程中保证一次成功的必然选择。

为了可以精确地模拟 PCB 的实际工作情况, 使电路板在制板之前显现设计中可能遇见的信号完整性问

题, 开发出了行为级模型 IBIS 模型。现在, IBIS 模型被应用到各种用于信号完整性分析的板级仿真工具中<sup>[1]</sup>。该模型与 Spice 模型相比, 有两个突出的优点: 第一, IBIS 模型依赖 I/V 特性、上升下降波形和封装参数信息, 因此保护了芯片生产厂家的知识产权; 第二, 在保证仿真精度的条件下, IBIS 模型的仿真速度更快<sup>[2]</sup>。现在越来越多的半导体生产厂家在提供芯片的同时提供相应的 IBIS 模型。在获取模型之后, 除了要把模型的格式转换成软件支持的格式外, 最重要的

收稿日期: 2010-07-14

作者简介: 徐文波(1986-), 女, 内蒙古赤峰人, 主要从事信号完整性方面的研究。E-mail: xuwenbo32@163.com

通信联系人: 王 健, 男, 研究员, 博士生导师。E-mail: jian\_wang@fpi-inc.com

一点就是验证模型数据的正确性,这直接关系到仿真结果的准确度。

本研究主要探讨 IBIS 模型的信号完整性研究与仿真应用。

### 1 IBIS 模型的基本结构

IBIS(Input/Output Buffer Information Specification) 输入/输出缓冲器信息规范是一种基于 V/I 曲线的对于 I/O 缓冲器快速准确建模的方法。该方法提供了一种标准的文件格式来记录如驱动器输出阻抗、上升/下降时间及输出负载等参数,非常适合做反射(reflection)和串扰(crosstalk)等高频效应的计算与仿真<sup>[3]</sup>。IBIS 模型基本的输入结构和输出结构如图 1 所示。输入结构包括电源和地的电平钳位保护电路(Power Clamp 和 Gnd Clamp)、引脚封装的寄生参数(C\_pkg、R\_pkg、L\_pkg)、硅片本身固有的寄生电容(C\_comp),对于输入结构而言,没有缓冲器的上拉和下拉结构电路。输出结构除了包含以上输入结构中的基本结构外,还包含了输出缓冲器的上拉和下拉结构电路(Pullup、Pulldown)和本身的特征(上升和下降转换速率、上升波形、下降波形等)。

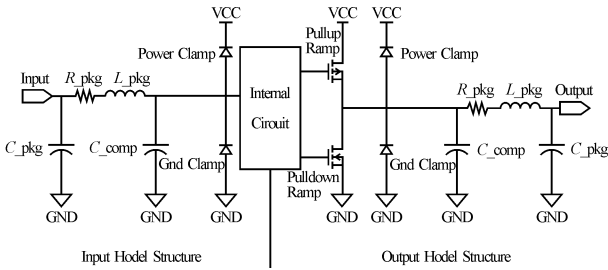


图 1 IBIS 模型输入输出结构图

IBIS 模型由许多数据组成,除了是仿真的基本元素外,模型数据本身还包含大量的有用信息,模型用户可以提取这些有用信息帮助系统设计。

### 2 IBIS 模型的快速验证

在 IBIS 模型中,Pullup、Pulldown 以及 Ramp 特性是模型中的关键要素,对仿真波形有着至关重要的作用。笔者叙述了它们之间的关系,用以在取得 IBIS 模型后,迅速地对模型的准确度进行验证。

IBIS 模型在获取转换速率时,把电阻负载(R\_load)接地来测量上升沿转换速率,电阻负载接电源测量下降沿转换速率。首先来说明 Pullup 和上升速率之间的关系,上升转换速率中的 dV\_r 是电压幅值 V\_lh 中 20% ~ 80% 的值,所以 V\_lh ≈ dV\_r/0.6,则高电

平稳定时的电流 I\_lh = V\_lh/R\_load,在 Pullup 数据中,Vlh\_table = Vcc-V\_lh,而上面所提到的 Vlh\_table 和 I\_lh 应该与 Pullup 数据中的某一个值对应。在 Pulldown 和下降速率中,Vh\_l ≈ dV\_f/0.6,低电平稳定时的电压值 Vh\_ltable = Vcc-Vh\_l,电压稳定时的电流值 Ih\_l = (Vcc-Vh\_ltable)/R\_load。Vh\_ltable 和 Ih\_l 值应该与 Pulldown 数据中的某个值相对应。本研究以 TI 公司中 TMS320FXX 芯片的 BC3325CF\_3P3PU 模型为例作相应的说明:

```
[Ramp]
| variable          type          min          max
dV/dt_r           1.455 9/0.703 1n    1.138 0/1.464 3n    1.727 5/0.376 2n
dV/dt_f           1.491 4/1.113 3n    1.000 8/1.954 2n    1.822 8/0.594 9n
R_load = 50
|
```

则 Pullup 和上升转换速率的联系:  
V\_lh ≈ 1.455 9/0.6 = 2.426 5 V, Vlh\_table = Vcc-V\_lh = 3.3 - 2.426 5 = 0.873 5 V

I\_lh = -2.426 5/50 = -48.53 mA;

```
[Pullup]
| Voltage          I(type)          I(min)          I(max)
| .....
0.800 0           -45.245 5 mA    -30.684 3 mA    -62.220 9 mA
0.900 0           -49.419 7 mA    -33.378 8 mA    -68.174 1 mA
| .....
|
```

Pullup 的数据中,在电压为 0.873 5 V 时,相应的电流值为 -48.313 5 mA,与计算值基本相符。

Pulldown 与下降转化速率的联系:  
Vh\_l ≈ 1.491 4/0.6 = 2.485 7 V, Vhl\_table = 3.3 - 2.485 7 = 0.814 3 V  
Ih\_l = (3.3 - 0.814 3)/50 = 49.714 mA

```
[Pulldown]
| Voltage          I(type)          I(min)          I(max)
| .....
0.800             49.099 6 mA     27.685 7 mA     75.904 6 mA
0.900             52.278 0 mA     29.428 3 mA     80.913 1 mA
| .....
|
```

在 Pulldown 的数据中,在电压为 0.814 3 V 时,相应的电流值为 49.554 1 mA,与计算值基本相符,可以证明该模型是正确的。

通过提取 Pullup/Pulldown 和 Ramp 中的数据,再经过计算和数据结果对比,可帮助模型使用者在拿到模型的第一时间快速、准确地利用模型本身的数据信息验证模型的正确性,大大缩短了模型的验证时间,为之后的仿真工作节约了时间。

### 3 IBIS 模型的应用

#### 3.1 反射仿真中的应用

在高速数字电路设计中,PCB 板上的导线具有电阻、电容、电感特性,等效为一条传输线。当传输线的

特性阻抗与负载阻抗不匹配时,信号到达接收端后有一部分能量将沿着传输线反射回去,使得信号波形发生畸变,甚至出现信号的过冲和下冲,这种现象就是反射<sup>[4]</sup>。为了保证高质量的信号传输,必须匹配信号路径阻抗,采用终端阻抗匹配是最有效和快速的方法,主要包括串联电阻端接、并联电阻端接、戴维南端接、AC 端接和二极管端接<sup>[5]</sup>,但是在设计中最常用的方法就是在驱动端串联端接电阻,但端接电阻的大小如何确定呢?

以光纤测温系统设计为例,分析该系统中 DSP 和 FPGA 之间的同步时钟信号应该串联端接多大的电阻, FPGA 接收到的同步时钟信号才能满足设计要求。FPGA 选择 ALTERA 公司 Cyclone II 系列的 EP2CXX-484 芯片,时钟速率高达 250 MHz, DSP 选择 TI 公司的 TMS320FXX 芯片,最高时钟速率为 150 MHz。设计思路是:从 DSP 时钟引脚的 IBIS 模型中提取数据,计算引脚的输出阻抗,根据阻抗匹配原则计算串联端接电阻的大小,并进行基于 IBIS 模型的反射仿真,验证选择端接电阻大小的正确性。

当芯片引脚间进行简单连接、没有采取任何防止反射现象发生的措施时,根据仿真结果可以发现接收端的波形有很大的过冲和下冲,根本不能满足设计中

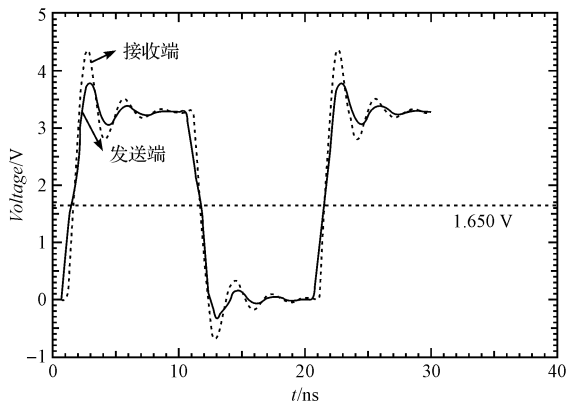


图 2 简单连接的 DSP 发送端和 FPGA 接收端时钟波形图

为了防止反射现象引起的信号完整性问题,要求引脚的输出阻抗  $Z_{out}$  与串联端接电阻  $Z_s$  的和等于传输线的特性阻抗  $Z_0$ ,本研究均假设  $Z_0 = 50 \text{ ohm}$ 。芯片的工作电压  $V_{cc} = 3.3 \text{ V}$ ,则整条链路上的工作电流  $I = V_{cc}/(Z_{out} + Z_s + Z_0) = V_{cc}/2Z_0 = 3.3 \text{ V}/100 \text{ ohm} = 33 \text{ mA}$ 。Pulldown 的  $I/V$  曲线中, $I = 33 \text{ mA}$  对应的电压  $V_{down} = 447.18 \text{ mV}$ , Pullup 的  $I/V$  曲线中, $I = -33 \text{ mA}$  对应的电压  $V_{up} = 544.38 \text{ mV}$ ,根据欧姆定律, $Z_{out\_up} = 544.38/33 = 16.49 \text{ hm}$ ,  $Z_{out\_down} = 447.18/33 = 13.55 \text{ hm}$ ,电阻匹配要求  $Z_{out} + Z_s = Z_0 = 50 \text{ ohm}$ ,则  $Z_{s\_up} = 50 - 16.49 = 33.51 \text{ ohm}$ ,  $Z_{s\_down} = 36.45 \text{ ohm}$ 。在实际设计

中,可以选择  $33.51 \text{ ohm} \sim 36.45 \text{ ohm}$  中间的电阻值,本研究选择  $33 \text{ ohm}$  进行仿真,如图 3 所示,可以看出接收端和发送端波形的上冲、下冲以及振铃情况均得到很好的改善,满足设计中的需要。

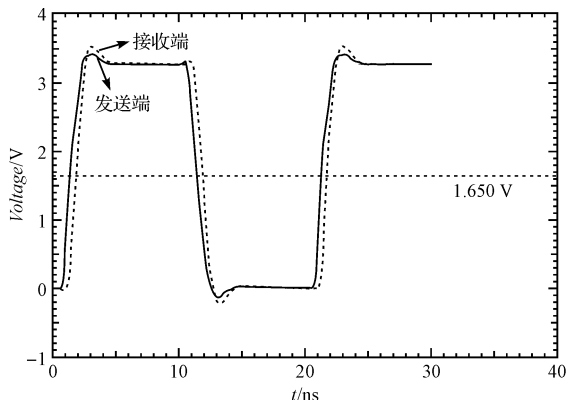


图 3 加入串联端接电阻后的 DSP 发送端和 FPGA 接收端时钟波形图

本研究利用芯片相应引脚 IBIS 模型中的数据信息,计算出引脚的输出阻抗  $Z_{out}$ ,根据串联端接中的阻抗匹配原则  $Z_0 = Z_{out} + Z_s$ ,计算出串联端接电阻的范围,再根据实际情况,选取电阻阻值的大小。

### 3.2 串扰仿真中的应用

串扰是指信号在传输线上传播时,产生的电磁场通过互容和互感耦合对相邻的传输线产生噪声干扰<sup>[6]</sup>。在高速 PCB 设计中,串扰现象是普遍存在的,串扰只能减小,但是最重要的是要避免串扰的产生<sup>[7]</sup>。传输线之间的串扰会产生两方面的影响:首先,串扰会改变传输线的特性阻抗与传输速度,对系统的时序和信号完整性带来不利的影响;另外,串扰会对其他传输线产生噪声,降低信号质量和信号的噪声余量<sup>[8]</sup>。

影响串扰的因素有很多,例如:平行走线中信号线之间的间距、走线的长度、信号层距离地或者电源层的距离、参考平面的完整性、干扰驱动信号的上升时间等。在 PCB 设计中,减少串扰最基本的措施就是增加干扰源网络与被干扰网络之间的间距。异步信号、时钟信号、高速存储器总线最容易产生串扰,所以本研究选择系统中的时钟线作为干扰信号线,与之相邻的数据线作为被干扰信号线进行仿真。在本设计中,信号线的线宽为  $6 \text{ mil}$ ,线间距为  $8 \text{ mil}$ ,两平行线的长度为  $2 \text{ inches}$ ,两线均为表层微带线,两线的串扰仿真结果如图 4 所示,远端串扰的峰峰值达到了  $110.19 \text{ mV}$ ,近端串扰的峰峰值为  $103.97 \text{ mV}$ 。

噪声预算中分配的最大可容许串扰大约是信号摆幅的 5%,而两根相邻导线的近端串扰应该小于 2%<sup>[9]</sup>,系统的信号摆幅是  $3.3 \text{ V}$ ,则近端串扰应该小

于 66 mV。为了达到这个目标,根据 3W 原则:信号路径之间的边对边的距离应至少为线宽的两倍<sup>[10]</sup>,调整线间距为 15 mil,串扰仿真的结果如图 5 所示,远端串扰的峰峰值减少到 56.68 mV,近端串扰的峰峰值为 57.42 mV,满足了设计中的要求。

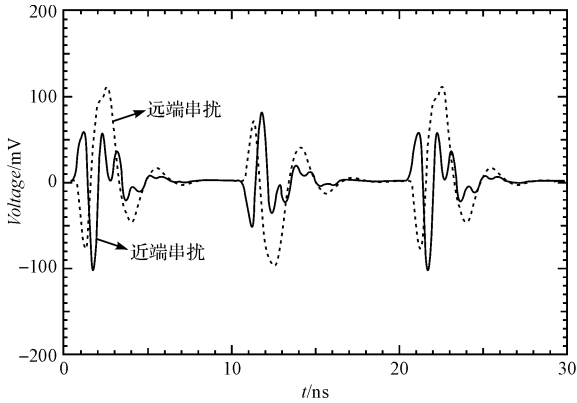


图 4 线间距为 8 mil 的串扰仿真波形图

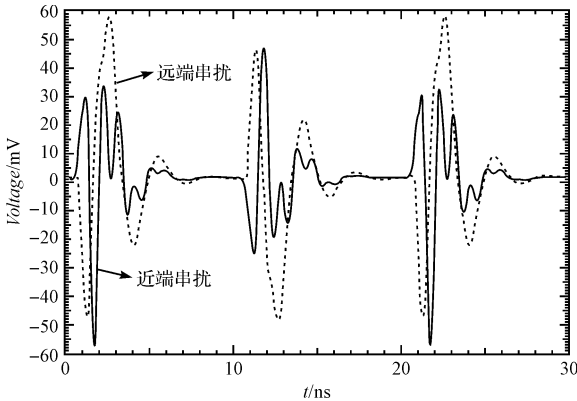


图 5 线间距为 15 mil 的串扰仿真波形图

综合上述仿真结果,在采用 6 mil 信号线宽时,15 mil 信号间距的串扰值明显比 8 mil 信号间距的小。在实际 PCB 设计中,为了防止信号之间的串扰,尤其是对于工作频率比较高,上升时间比较短的产生串扰的信号,应该严格遵守 3W 原则,这样才能保证临近的信号线正常工作。

## 4 结束语

本研究介绍的验证 IBIS 模型准确性和在 IBIS 模

型中提取引脚输出阻抗的计算方法,以及在光纤测温系统中进行基于 IBIS 模型的信号完整性反射和串扰仿真分析成功应用的实例,证明了 IBIS 模型在信号完整性仿真中的重要性 and 实用性。同时这些设计方法对高速数字电路系统设计也有很强的实用价值,不仅提高了设计系统的可靠性,降低了设计成本,而且大大缩短设计周期,从而增加了产品的市场竞争力。

## 参考文献 (References):

- [1] HAYES J D, WISSEL L. Behavioral Modeling of Timing, Noise, and Signal Integrity Analysis [C]//IEEE Conference on Custom in Tegrated Circuits. San Diego: [s. n.], 2001: 353-356.
- [2] YANG Zhi-ping, HUA S, ARUMUGHAM V. Enhancement of IBIS Capability in Simutanous Switch Noise (SSN) and Other Power Integrity Related Simulations-Proposal, Implementation, and Validation [C]//IEEE 2005 International Sysposium on Electromagnetic Compatibility (EMC). Chicago: [s. n.], 2005: 672-677.
- [3] 郭霞, 杨涛, 张浩. 高速数字采集系统的信号完整性分析[J]. 电子科技, 2008(1): 31-33.
- [4] 邓集杰, 刘铁根, 褚备, 等. 高速视频处理系统的信号完整性分析[J]. 电子测量与仪器学报, 2008(23): 34-41.
- [5] MONTROSE M I. 电磁兼容的印制电路板设计[M]. 吕英华, 译. 北京: 机械工业出版社, 2008.
- [6] 闫铁铮. 高速 PCB 信号完整性分析及硬件系统设计中的应用[D]. 厦门: 厦门大学信息科学技术学院, 2009.
- [7] HAN Yi-feng, YAN Zhao-wen. The Simulation and Pre-design on the PCB of the Simulator [C]. 2008 Asia-Pscific Symposium on Electromagnetic Compatibility & 19<sup>th</sup> International Zurich Symposium on Electromagnetic Compatibily. Singapore: [s. n.], 2008: 871-874.
- [8] 乔洪. 高速 PCB 信号完整性分析及应用[D]. 成都: 西南交通大学电气工程学院, 2006.
- [9] BOGATIN E. 信号完整性分析[M]. 李玉山, 李丽平, 译. 北京: 电子工业出版社, 2005.
- [10] 周润景, 袁伟亭. Cadence 高速电路板设计与仿真[M]. 2 版. 北京: 电子工业出版社, 2007.

[编辑: 李辉]