

一种基于 DDS 的函数发生器

周红艳

(成都电子机械高等专科学校 机械工程系, 四川 成都 611730)

摘要:针对综合测试仪的函数发生器模块的高集成度和低成本的要求,设计了一个通过现场可编程门阵列(FPGA)实现直接数字频率合成(DDS)数字部分的函数发生器。它由微处理器系统、DDS 系统、模拟通道 3 部分组成;在 FPGA 内部设计了相位累加器和 ROM 波形存储表,通过加载频率控制字改变波形频率,实现了 DDS 系统的数字部分,采用 W77E58 单片机作为函数发生器的微处理系统。测试结果表明,设计的函数发生器输出的正弦波、方波和三角波完全满足项目对波形幅度、频率、精度等指标的要求。

关键词:直接数字频率合成;函数发生器;现场可编程门阵列;W77E58

中图分类号:TP346

文献标志码:A

文章编号:1001-4551(2011)01-0083-04

Direct digital frequency synthesis function generator

ZHOU Hong-yan

(Department of Machinery Engineering, Chengdu Electromechanical College, Chengdu 611730, China)

Abstract: Aiming at high integration and low cost requirements at function generator module of integrated test instrument, a digital function generator was designed based on the direct digital frequency synthesis(DDS) technology. It consisted of three parts-microprocessor systems DDS system, analog channel. Phase accumulator and the ROM stores waveform table in field programmable gate array(FPGA) were designed, to change the wave frequency by load frequency control word, to achieve the digital part of DDS system, and the MCU of W77E58 was microprocessor systems of the function generator. The test results indicate that the design of the function generator can produce sine wave, square wave and triangular wave, and accords with the system requirements on the waveform amplitude, frequency, precision of the indicator.

Key words: direct digital synthesizer(DDS); function generator; field programmable gate array(FPGA); W77E58

0 引 言

函数发生器是电子工程师、生产线以及教学科研的重要测试设备,可以生成不同频率和幅度的大量信号,用来评估新电路的运行情况,可代替时钟信号,对新产品进行制造测试,其广泛应用于通信、雷达、导航、宇航等领域。

函数发生器设计的核心之一是波形信号的产生。目前常使用的有多功能专用的 DDS 集成芯片和采用高性能的 FPGA 器件直接设计所需要的 DDS 电路^[1-2]。专用的 DDS 集成芯片由于内部固化了正弦波查找表不能生成三角波,而传统获得三角波的方法是将方波通过积分器获得,这种方法的主要缺陷在于:在

方波脉冲宽度一定的情况下,积分器的积分时间也一定,产生的三角波的幅度也一定。因此,在方波的脉冲宽度较小时,积分器的积分时间较少,所获得的三角波的幅度较小。采用高性能的 FPGA 直接设计所需要的 DDS 电路,可以直接合成三角波,并通过置换内部 ROM 获取不同的幅值序列,产生不同幅度的波形,具有工作方式灵活及频率、幅度易控等优点。

本研究采用高性能的 FPGA 芯片与 D/A 转换器相结合的产生波形的的设计方法,主要特点是用户可以通过选择 FPGA 内部 ROM 存储器模块产生不同的波形幅度序列,经过 D/A 转换从而得到不同的输出波形^[3]。W77E58 单片机作为主控机控制整个系统,构建了一个通用的完全可以编程控制的基本硬件平台,

通过软件加载来实现各种信号,构成灵活可变的多频段函数发生器。其输出波形的幅度、频率可调。

1 系统设计

函数发生器的整个系统有多个功能模块组成,主要包括串口通信、微处理器系统、DDS 系统、低通滤波器、方波产生电路、幅度偏移控制等部分。

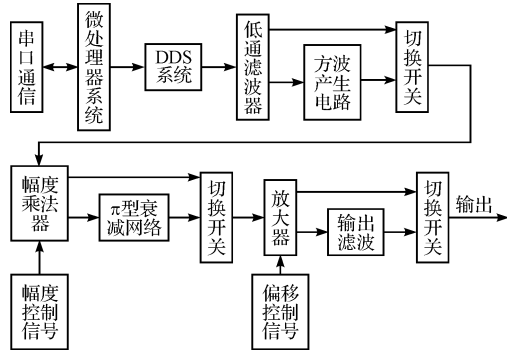


图 1 函数发生器总体设计框图

微处理器 W77E58 作为主控机是整个系统的控制核心,它控制协调着其他各个模块工作。本系统采用的是 Winbond 公司推出的 W77E58 单片机,它是与 8051 系列单片机兼容高速微处理片。指令集与标准的 51 指令完全兼容,内置 32 KB 程序存储器,256 B 的 RAM,1 KB 的片内 SRAM,工作频率最高可达 40 MHz。FPGA 完成的数字波形部分是整个系统的核心部分,函数发生器中的三角数字信号和正弦数字信号都是由这个模块数字合成的。数字信号通过 D/A 转换器变成模拟信号,再通过相应的滤波器产生所需波形信号。电平控制模块产生各种控制电平,通过这些控制电平可以调节输出信号的某些参数。如用 AD5162 产生方波占空比电平及输出波形幅度控制电平,用 AD1851 产生输出偏移控制电平。正弦信号通过比较器生成方波信号,将各种波形信号通过选择器与控制电平所提供的输出波形幅值控制电平,通过一个模拟乘法器就实现了幅度调制。由于函数发生器最终输出信号的范围很大,而从前级模块中输出的信号幅度和功率都很小,为了能使输出能够带动负载,必须经过电压和功率放大,并经过输出衰减器控制输出的幅度,然后才可以输出。通过软件加载构成了灵活可变的多频段波形输出。

2 DDS 系统设计

DDS 系统是本设计的核心之一,主要利用 FPGA 完成 DDS 系统的数字波形合成,再通过 DAC 把数字信号转换成模拟信号。

本研究中数字波形合成是基于 DDS 基本原理利用 FPGA 直接实现的。设计中 FPGA 芯片选用的是 ALTERA 公司生产的 Cyclone^[4] 系列的 EP1C3T144 器件,该器件采用 TQFP 封装,拥有 2 910 个逻辑单元,59 904 bits RAM,完全满足模块对逻辑资源的需求。该系统采用 VHDL 和 Block Diagram/Schematic 相结合的方法来对各功能模块进行逻辑描述,然后通过 EDA 开发平台,对设计文件自动地完成逻辑编译、逻辑化简、综合及优化、逻辑布局布线、逻辑仿真,最后对 FPGA 芯片进行编程,实现系统的设计要求。FPGA 配置采用了专用配置芯片 EPCS1。

从 FPGA 中读出的波形幅度量化的数据还只是一个数字信号,要得到比较理想的模拟信号还必须在幅度量化的数据后设计一个 D/A 转换电路。要设计一个具有良好性能的 DDS 系统,D/A 转换电路中数模转换器 DAC 的选型尤为重要。根据设计要求选 Analog 公司生产的 AD9762 芯片^[5],它的最高转换速率 125 MHz,12-bit 精度,差分电流输出,满刻度电流 2 mA ~ 20 mA,两种供电 5 V 或 3 V,5 V 供电时功耗 175 mW,3 V 供电时功耗 45 mW,能够满足设计需要。

2.1 DDS 基本原理

DDS 技术是建立在采样定理的基础上,它首先对需要产生的波形进行采样,将采样值数字化后存入存储器作为查找表,然后通过查找表将数据读出,经过 D/A 转换器转换成模拟量,把存入的波形重新合成出来。其基本的电路原理图如图 2 所示。

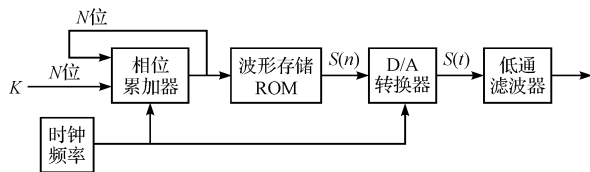


图 2 DDS 基本框图

DDS 主要由相位累加器、波形存储器 ROM、D/A 转换器、低通滤波器 4 个部分组成。

相位累加器它是由 N 位加法器与 N 位累加寄存器级联构成。每来一个时钟频率,加法器就将上个时钟周期内寄存器所寄存的值与输入的频率控制字 K 相加,其和存入累加寄存器作为相位累加器的当前相位输出。显然, K 就是一个时钟周期内的相位增量。当寄存器满时产生一次溢出将整个相位累加器置零,从而完成一个周期性的动作。相位累加器的溢出频率就是 DDS 输出的信号频率。

在时钟频率的控制下,用相位累加器输出的 N 位二进制数据,作为波形存储器 ROM 的取样地址,把存

储在波形存储器 ROM 内的波形抽样值(二进制编码)经查找表查出,完成相位到幅值的转换,输出的幅码 $S(n)$ 经 D/A 转换器将数字信号转变成模拟量形式的阶梯波 $S(t)$,再经过低通滤波器得到一个平滑的波形^[6]。合成信号的波形形状取决于波形存储器 ROM 中存放的幅码,因此用 DDS 可以产生任意波形。

2.2 数字波形的合成

数字波形合成是 DDS 系统的核心部分。由 DDS 的原理框图可以看出,DDS 系统除了滤波器之外,全部都是数字电路,因此系统容易集成化和小型化。该设计正是采用前面介绍过的 FPGA 芯片,利用 DDS 技术实现函数发生器中数字波形合成。其具体实现如图 3 所示。

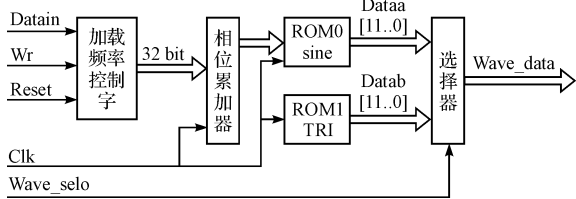


图 3 DDS 数字波形合成的实现框图

用 FPGA 实现的数字波形合成是基于 DDS 的基本原理,所以 DDS 数字部分的几个模块都具备。首先单片机接收到指令向 FPGA 内部的频率控制字存储模块写入数据,相位累加器是决定 DDS 性能的一个关键部分,它在时钟信号的作用下对写入的频率控制字进行线性累加。根据波形的存储深度 $2 K \times 12 \text{ bits}$,把 32 位的相位累加器的高 11 位作为波形存储表的表地址,它的存储单元数量为 $DW = 2^{11} = 2048$,输出位数 12 bit。

由于 FPGA 内部设置了两个 ROM 存储器模块,程序中设计了两个存储器初始化文件^[7-8]:一个是正弦波初始化文件 [sin. mif],一个是三角波初始化文件 [TRI. mif]。ROM0 用来存储正弦波的幅度序列,ROM1 用来存储三角波的幅度序列。输入的 32 bit 频率控制字在相位累加器中累加得到的 32 bit 相位值,取相位值的高 11 位作为两个波形存储器的地址输入查找表,在时钟信号的作用下进行相-幅转换,单片机控制 WAVE-SELO 进行波形选择。其时序仿真波形如图 4 所示。

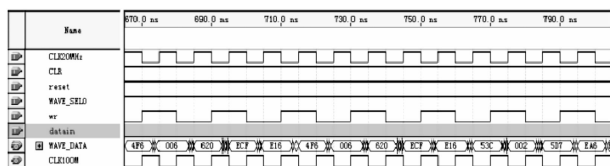


图 4 DDS 系统时序仿真

图 4 中的 WAVE_SELO 作为波形选择,可以选择输出正弦波或三角波,WAVE_DATA 是由相位累加器和 ROM 波形存储表得到的所选波形的幅值序列。

输出波形的幅值序列(WAVE_DATA)此时属于数字信号,要得到所需的波形还需经过 D/A 转换和滤波处理。不同的波形由于其特征的不同选择不同的滤波器^[9-10]。正弦波其主要特征是频谱分量单一,主要考虑的是在通带内要有一定的平坦度,在阻带内要保证足够的衰减来抑制谐波的输出要求。针对这些要求设计了一个椭圆滤波器。三角波形其谐波分量丰富,但是对于平坦度的要求不高,所以设计了一个贝塞尔滤波器。

3 系统测试

3.1 波形输出测试

测试仪器:数字存储示波器 TDS3052B。

测试方法:将 Tektronix 的 TDS3032B 接到函数发生器的 BNC 头上,通过参数设置界面依次设置正弦波、方波、三角波波形输出,通过观察示波器,看波形是否正常。其输出波形如图 5 ~ 图 7 所示。

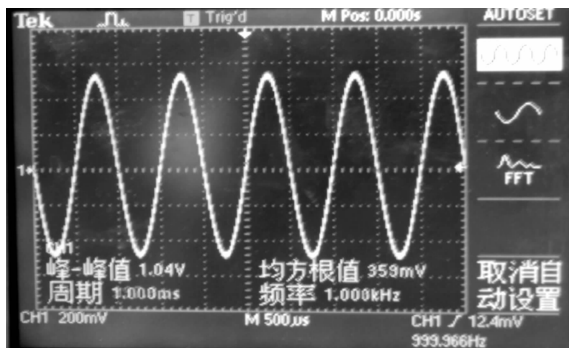


图 5 输出正弦波

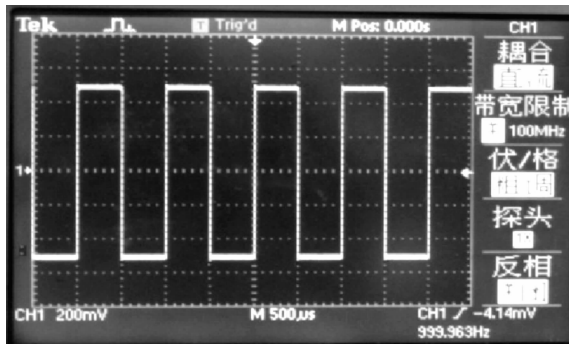


图 6 输出方波

3.2 幅度的测试

测试仪器:数字万用表 HP34401A。

测试方法:输入信号频率为 1 kHz,输入幅度峰值

分别设为 50 mV、1.000 V、5.000 V。测试结果如表 1 所示。数字万用表 HP34401A 的电压测试结果为有效值,为了清楚地说明测试结果,已将测试结果转换为电压的峰峰值。转换公式如下:

$$V_{PP} = KV_{rms}$$

式中: V_{PP} —信号的峰-峰值, V_{rms} —正弦信号的有效值。

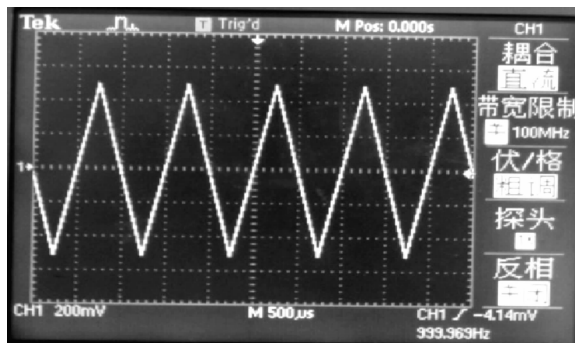


图 7 输出三角波

对于正弦波, $K = 2 \times 21/2$, 对于方波, $K = 2$, 对于三角波, $K = 2 \times 31/2$ 。

表 1 输出幅度测试结果

输入幅度峰峰值	正弦波(峰峰值)	方波(峰峰值)	三角波(峰峰值)
50 mV	50.029 mV	49.378 mV	50.26 mV
1.000 V	0.999 6 V	0.997 0 V	1.004 9 V
5.000 V	4.979 5 V	4.995 8 V	4.954 4 V

3.3 频率的测试

测试仪器:通用频率计 HP53131A。

测试方法:设定输入信号频率分别为 10 Hz, 1 kHz, 1 MHz, 10 MHz(三角波除外), 20 MHz(三角波除外), 观察 HP53131A 的测试结果。测试结果如表 2 所示。

表 2 输出频率测试结果

频率	正弦波	方波	三角波
10 Hz	9.915 63	9.814 32	9.914 46
1 kHz	1.008 38	1.018 34	1.018 29
1 MHz	1.008 839	1.008 826	1.008 823
10 MHz	10.008 61	10.007 73	—
20 MHz	20.016 31	20.007 96	—

3.4 正弦波的谐波失真测试

测试仪器:FSH3 型便携式频谱分析仪。

测试方法:设定输入正弦信号频率分别为 20 MHz, 40 MHz, 60 MHz, 观察 FSH3 型便携式频谱分析仪测试的基波和各次谐波。测试结果如表 3 所示。

表 3 谐波失真测试结果

设定频率	20 MHz	40 MHz	60 MHz
谐波失真	45 dB	6.4 dB	1.6 dB

函数发生器模块的测试结果满足项目要求的指标:

频率范围:10 Hz ~ 20 MHz(正弦波,方波);10 Hz ~ 1 MHz(三角波);

频率分辨率:1 Hz;

波形失真: -60 ~ -35 dB(根据频率信号变化);

幅度:50 mV_{pp} ~ 5 V_{pp};

精度: ±2% ±10 mV。

4 结束语

基于 DDS 技术的函数发生器是在 QuartusII 集成开发平台下,采用硬件描述语言(VHDL)和 FPGA 芯片设计实现,输出的信号频率和幅度可调;输出的正弦波、方波和三角波完全满足项目指标要求。

采用 FPGA 实现 DDS 的方法与采用专用 DDS 集成芯片相比,具有可控性好,信号质量较高,成本较低等突出优势;函数发生器与示波器、计数器等模块一起组合成集成度高、体积小的综合测试仪。

参考文献(References):

- [1] CHRIS K. DDS 在函数发生器应用中的优点[J]. 电子设计应用,2006(4):101.
- [2] 王胜勇,韩月秋,陈 禾. 基于 DDS 的固定频率正弦信号发生器的改进[J]. 北京理工大学学报,2006,28(3):68-70.
- [3] 华 金,姜 伟,李存兵. 基于 FPGA 的直接数字合成器的设计[J]. 机电工程,2007,24(12):38-40.
- [4] Altera Corporation. Cyclone Device Handbook[M]. Altera Corporation,2005.
- [5] Analog Devices, Inc. . A Technical Tutorial on Digital Signal Synthesis[M]. Analog Devices, Inc. ,1999.
- [6] 刘朝军,许人灿,陈曾平. DDS 输出信号频谱结构的系统分析[J]. 国防科技大学学报,2005,27(6):53-56.
- [7] 黄志伟. FPGA 系统设计与实践[M]. 北京:电子工业出版社,2005.
- [8] 赵 鑫,蒋 亮,齐兆群,等. VHDL 与数字电路设计[M]. 北京:机械工业出版社,2005.
- [9] 冉廷华. 高速 VXI 任意波形发生器的模拟通道设计[D]. 成都:电子科技大学自动化工程学院,2003.
- [10] 周 鹏,田书林,刘 科. 直接数字式频率合成信号的滤波处理[J]. 测控技术,2004,23(9):14-16.