

# 基于 FPGA 的嵌入式 CAN 通信卡的设计\*

李明雄, 汪 明, 李晓明

(浙江理工大学 机械与自动控制学院, 浙江 杭州 310018)

**摘要:** 为了实现 CAN 通信的嵌入式应用, 满足模块化设计的需要, 提出了一种基于 FPGA 的嵌入式 CAN 通信卡的设计方法。介绍了该系统的硬件组成、芯片选择和工作原理, 以 FPGA 嵌入的 32 位软核处理器 Nios II 作为主控芯片, 内嵌的双口 RAM 作为节点控制器与嵌入式 CAN 通信卡的通信接口, 选择 CAN 控制器 SJA1000 和收发器 PCA82C250 作为 CAN 通信芯片。给出了其硬、软件的设计思路和实现方法, 并给出了实验测试的结果。实验结果表明, 该设计完全满足 CAN 通信嵌入式应用的要求, 并具有良好的实时性和高速通信的特点。

**关键词:** 现场可编程门阵列; Nios II; 双口 RAM; 控制器局域网通信; 嵌入式应用

中图分类号: TP336

文献标志码: A

文章编号: 1001-4551(2010)12-0078-06

## Design of the embedded CAN communication card based on FPGA

LI Ming-xiong, WANG Ming, LI Xiao-ming

(Faculty of Mechanical Engineering & Automation, Zhejiang Sci-Tech University, Hangzhou 310018, China)

**Abstract:** In order to realize the embedded application and satisfy the need of modular design of CAN communication, a design method of the embedded CAN communication card based on FPGA was put forward. The hardware structure, chip selection and work principle were introduced. The design chose the embedded 32-bit soft processors Nios II in FPGA as the main control chip, dual-port RAM as communication interface between the node controller and the embedded CAN communication card, the CAN controller SJA1000 and transceiver PCA82C250 as CAN communication chip. The design idea and realization method of the card in the hardware and software were presented, as well as the experiment results. The experiments show that the design completely satisfy the requirement of the the embedded application of CAN communication, and has good performance on the characteristics of real time and high-speed communication.

**Key words:** field programmable gate array (FPGA); Nios II; dual-port RAM; controller area network (CAN) communication; embedded application

## 0 引 言

CAN 总线是一种有效支持分布控制或实时控制的串行通信网络, 采用多主协议, 废除了传统的站地址编码, 而采用对通信数据块进行编码的方法, 使网络内节点个数在理论上不受限制。由于采用了许多新技术及独特的设计, CAN 总线具有高实时性、卓越性能、高可靠性、设计灵活和价格低廉的优势, 已广泛应用于工

业现场、控制、智能大厦、小区安防、交通工具、医疗仪器、环境监测等众多领域<sup>[1]</sup>。目前, 针对不同应用场合的 CAN 总线通信卡有很多种类, 常见的通信卡有以下几种: RS232/485-CAN 通信卡、USB-CAN 通信卡、PCI-CAN 通信卡和 Ethernet-CAN 通信卡等类型。

其中 RS232/485-CAN 通信卡的作用是把串口数据转换成符合 CAN 总线协议的数据段, 此外不做任何处理, 因此仅仅能够实现固定节点的收发, 应用范围较窄。此外该接口卡通讯速度受串口制约, 无法充分发

收稿日期: 2010-07-30

基金项目: 国家自然科学基金资助项目(50605056); 浙江省科技攻关项目(2007C21078)

作者简介: 李明雄(1985-), 男, 湖北黄冈人, 主要从事机电控制及自动化方面的研究. E-mail: xsctiger@126.com

通信联系人: 李晓明, 男, 副教授, 硕士生导师. E-mail: lxm\_zju@yahoo.com.cn

挥CAN总线的优势<sup>[2]</sup>。USB-CAN通信卡将PC机通过USB接口接入CAN总线网络,把USB的通用性和CAN的专业性结合起来,形成资源优势互补<sup>[3]</sup>。USB-CAN转换器由于使用了USB接口,在嵌入式系统处理起来难度更大,因此这种方案只适合于PC机接入到CAN总线中场合。PCI-CAN通信卡的作用是通过计算机的PCI总线访问CAN通讯模块,实现PC机与CAN总线的连接。这种通信卡通常是做成PCI卡的形式,插装到PC机里。与USB-CAN接口卡类似,PCI-CAN通信卡也只适用于PC机。该通信卡主要解决的是以太网和现场总线CAN总线之间互联问题,同样,Ethernet-CAN通信卡只适用于PC机或者较为复杂的嵌入式设备。

基于以上这些接口的CAN通信卡均不适应于一般的嵌入式应用场合,为了实现CAN通信的嵌入式应用,简化CAN总线应用系统的设计,本研究提出了一种基于FPGA的嵌入式CAN通信卡的设计。该通信卡采用FPGA芯片作为控制芯片,嵌入32位的Nios II软核处理器专门用于CAN通信,并采用FPGA支持的双口RAM作为与外部CPU的数据交换接口,从而使CAN通信系统的实时性和高效性得到很大的提高,通信卡与外部控制器之间可以高速、可靠地进行数据交换,且能够方便地实现在系统编程。

## 1 系统硬件电路的设计

目前,FPGA芯片密度已达到百万门级,在一片FPGA芯片上可以实现如DSP、MCU、PCI总线控制和各种控制算法等复杂的功能。由于FPGA芯片密度的不断提高和新的EDA开发工具的使用,利用FPGA器件实现SOC已成为可能,这项技术称为嵌入式SOPC(可编程单芯片系统)。SOPC技术既具有基于模板级设计的特征,又具有基于ASIC的系统级芯片设计的特征,具有了可重构性、高效自动化的设计方法<sup>[4]</sup>。Altera推出的Nios II正是为设计者提供了FPGA优化的灵活的嵌入式处理器,以及为SOPC设计了一套综合解决方案。

系统的外部硬件电路结构如图1所示。其中,FPGA芯片选用Altera公司的Cyclone II系列EP2C5Q208C8N,核电压Vccint接1.2V,IO电源Vccio接3.3V电源,4个BANK连接相同的两组输入电压。电源管理模块采用低压稳压器AMS1117和AMS1117-ADJ,输入5V工作电压,前者可输出3.3V电压,后者利用ADJ端输出1.2V电压,供FPGA使用。FPGA的配置芯片选用串行配置器件EPCS1,提供1MB的Flash存储容量,用来存储硬件配置信息和控制程序。EPCS1的工作电压是3.3V,将DATA、DCLK、nCS、ASDI与FPGA相连,并连接到EPCS下载口,用来下载配置信息<sup>[5]</sup>。

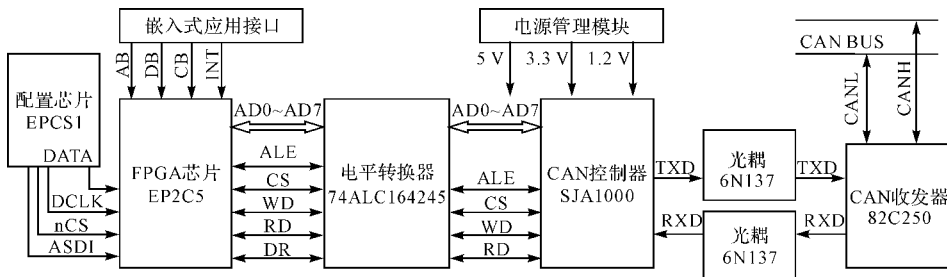


图1 硬件结构原理图

CAN控制器选用飞利浦公司的SJA1000控制芯片,可完成物理层和数据链路层的所有功能,它具有完成CAN高性能通信协议所要求的全部必要特性。CAN收发器选用PCA82C250,提供协议控制器和物理传输线路之间的接口。它的RS引脚(斜率电阻输入端)接47kΩ电阻后接地,降低射频干扰。两端接上一个120Ω的电阻和一个开关,这个电阻作为CAN总线的终端匹配电阻。EP2C5接口电平不支持5V I/O标准,如果与5V I/O标准的器件直接相连,将可能导致FPGA管脚流过极大电流,造成器件锁死或者烧毁。为此,在FPGA与CAN控制器SJA1000之间加入电平转换器件,使得电平能够相容。采用TI公司的双向总

线收发器74ALVC164245,把SJA1000的5V TTL电平信号AD0~AD7、CS、WR、RD、ALE转换成3.3V I/O标准,连接到FPGA的引脚上<sup>[6]</sup>。

为了进一步提高系统的抗干扰能力,在SJA1000和82C250之间使用了高速光耦6N137构成隔离电路。光电耦合器6N137是一个高速光电耦合器,通常用它来隔离在不同器件中信号传递以增强系统的抗干扰能力。但采用光耦在对信号传递起隔离作用的同时也会增加信号的在回路中传输延迟时间,从而导致通信速率或距离减少。高速光电耦合器6N137的典型信号处理速度为10MBd,对信号传输产生的延迟时间只有40ns,对系统的影响很小<sup>[7]</sup>。

因此选择高速光电耦合器可以有效地提高系统的抗干扰能力和稳定性。

嵌入式应用接口是面向上位节点 CPU 的,节点 CPU 通过这个接口与 CAN 通信卡进行数据交换。这个接口由 FPGA 内部的双口 RAM 来定义,包括数据总线 DB,地址总线 AB,控制总线 CB 和中断信号等。节点 CPU 只要遵循它的访问时序,就可以实现对 CAN 通信卡的读/写。中断信号使得 CAN 通信卡与节点 CPU 之间可以协作通信。

## 2 基于 FPGA 的 SOPC 设计

SOPC 是一种特殊的嵌入式系统,它是片上系统(SOC),即由单个芯片完成整个系统的主要逻辑功能但它不是简单的 SOC,它也是可编程系统,具有灵活的设计方式,可裁剪、可扩充、可升级,并具备软、硬件在系统可编程的功能。这部分主要包括双口 RAM、基于 Nios II 的 SOPC 系统以及时钟的管理。双口 RAM 作为通信卡与节点 CPU 交换数据的接口,Nios II 处理 CAN 通信,SOPC 系统提供与双口 RAM 的通信接口,以及与 CAN 控制器 SJA1000 的通信接口。

### 2.1 双口 RAM 模块

双口 RAM 是在 1 个 SRAM 存储器上具有两套完全独立的数据线、地址线和读写控制线,并允许两个独立的系统同时对其进行随机性访问的存储器,即共享式多端口存储器。采用双口 RAM 作为节点 CPU 和 CAN 通信模块的数据交换连接接口,实现了节点控制器

CPU 与通信卡之间高速、可靠的数据交换,且具有更强的抗干扰能力。由于双口 RAM 允许两个 CPU 同时异步地对之进行操作,它很适合用于两个 CPU 之间的数据交换。双口 RAM 的数据交换形式比一般所使用的并口通信的数据交换形式速度更快,可靠性更高。Cyclone II 系列的 FPGA 内嵌存储器可配置成双端口存储器。利用开发软件 QUARTUS II 设计的双口 RAM,其顶层结构图如图 2 所示。PLL 输出两路时钟,供双口 RAM 的两个端口使用;双口 RAM 的一个端口面向嵌入式 MCU,提供读写接口,另一个端口给 SOPC 系统的处理器 Nios II 使用。

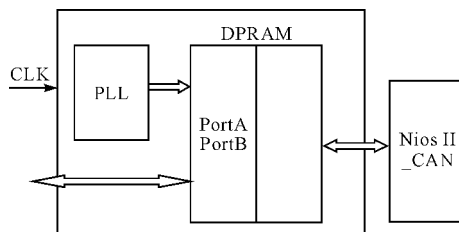


图 2 双口 RAM 模块的顶层结构

具体电路设计如图 3 所示:lpm\_ram\_dp0 就是双口 RAM,分为两个端口,Port a 和 Port b,a 端口的引脚包括:data\_a 是写数据线,q\_a 是读数据线,address\_a 为读写共用的地址线,wren\_a 是写使能信号,clock\_a 是读写共用的时钟引脚;b 端口的引脚包括:data\_b 是写数据线,q\_b 是读数据线,address\_b 为读写共用的地址线,wren\_b 是写使能信号,clock\_b 是读写共用的时钟引脚。

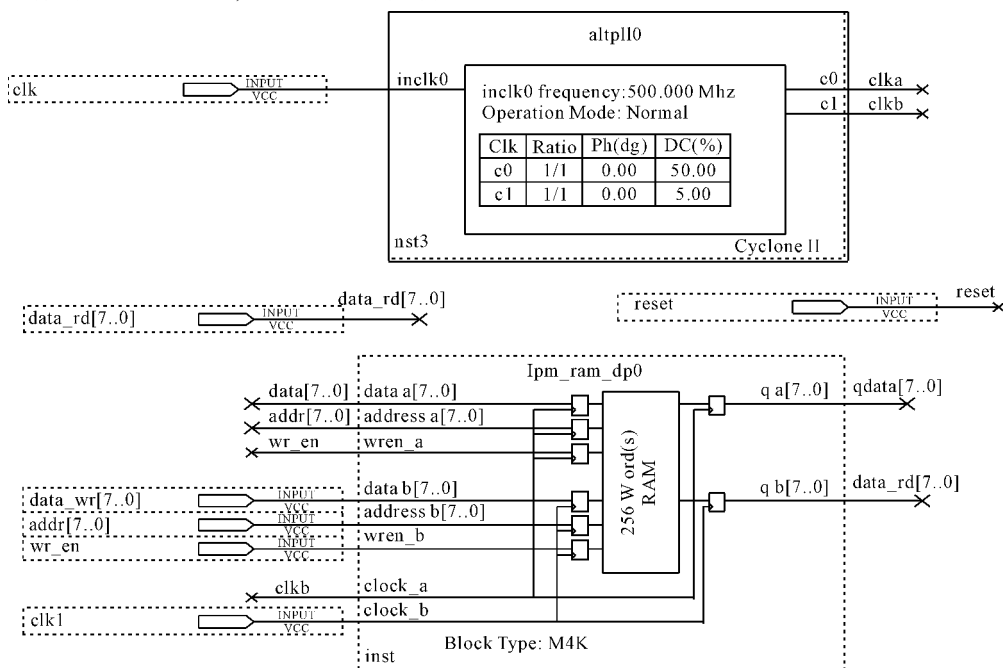


图 3 DPRAM and PLL

### 2.2 SOPC 系统模块

Nios II 软核处理器是 Altera 的第二代 FPGA 嵌入式处理器,比第一代 Nios 具有更高水平的效率和性能。Nios II 嵌入式处理器性能超过 200 DMIPS,采用 32 位指令、32 位数据和地址、32 位通用寄存器和 32 个外部中断源;支持用户的专用指令多达 256 个,这使得设计者能够细致地调整系统硬件以满足性能目标<sup>[8]</sup>。

Nios II 处理器具有完善的软件开发套件,包括编译器、集成开发环境(IDE)、m C 调试器、实时操作系统(RTOS)和 TCP/IP 协议栈。使用 Altera Quartus II 开发软件中的 SOPC Builder 系统开发工具能很容易地创建用户定制的 CPU 和外设,获得恰好满足需求的处理器系统。使用 SOPC Builder 开发工具加载 Niosii 处理器,添加内部 RAM,并且配置外围接口,配置一个高集成度的 SOPC 系统,其结构图如图 4 所示。SOPC 系统内部各个组件由 AVALON 总线连接,嵌入 Nios II 和片内 RAM,作为系统的 CPU 和存储器;DPRAM 接口用来连接上面设计的双口 RAM 模块,其接口控制器可在组件库中添加;中断模块提供应用节点 MCU 与本通信卡的中断接口;

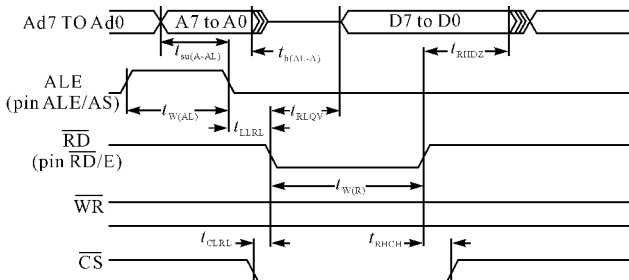


图 4 SJA1000 读时序, Intel 模式

SJA1000 接口提供 SOPC 访问 SJA1000 的时序,与电平转换器连接,然后可以连接 CAN 控制器 SJA1000。SJA1000 的读/写时序和普通的 RAM 芯片一样,考虑到它是地址数据线复用,使用 PIO 组件构建 SJA1000 的接口,包括控制信号 ALE, CS, WR, RD 和地址数据复用总线 AD,其时序通过软件模拟实现。读时序如图 5 所示。把 RD 和 WR 的波形图交换,就得到写时序。

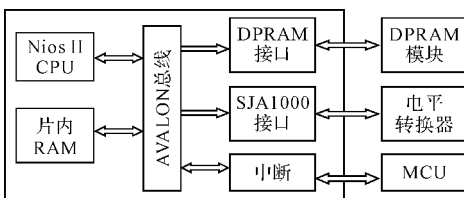


图 5 SOPC 系统的结构图

具体设计如图 6 所示;clk 和 reset\_n 引脚是 SOPC 系统的时钟和复位引脚;与 CAN 控制器 SJA1000 的通信接口引脚: data\_sja 是数据和地址复用总线, cs\_sja 是片选信号, wr\_sja 和 rd\_sja 是读写使能信号, ale\_sja 是地址锁存信号, int\_sja 是中断输入引脚, CAN 控制器接收到报文可向 CPU 发送中断信号;与双口 RAM 的通信接口如下: data\_dpram 和 addr\_dpram 分别是数据线和地址线; wr\_en\_dpram 是写使能信号。还有两个中断引脚 int\_intern 和 int\_exter。

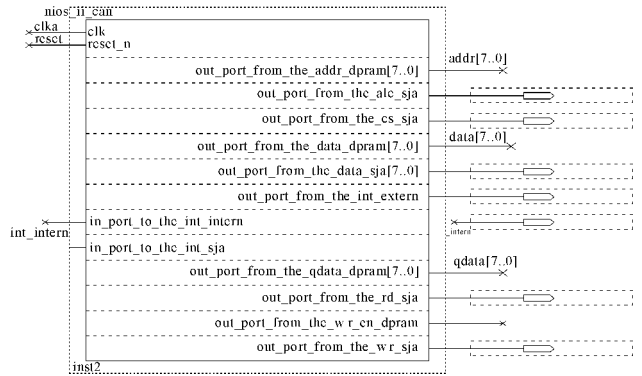


图 6 SOPC 系统

### 3 软件设计

利用 SOPC Builder 开发工具创建专用的处理器系统的硬件后, SOPC Builder 还为编写操作这些片上硬件的软件代码提供了一个 Nios II 集成开发环境(IDE),这个软件开发环境包括语言的头文件、外围接口的驱动以及实时操作系统的内核,可完成整个软件工程的编辑、编译、调试和下载等过程,极大地提高了软件的开发效率<sup>[9]</sup>。基于 EP2C5、SAJ1000 和 PCA82C250 的 CAN 通信卡通过 CAN 总线建立通信的过程包括系统上电和正常运行两个阶段。其软件程序可以分为初始化程序、报文发送程序和报文接收程序 3 个部分。

#### 3.1 初始化

CAN 初始化函数主要对系统进行初始化,设置波特率和节点 ID,配置通信参数。当 SAJ1000 在上电复位或硬件复位后,在复位模式下, Nios II 处理器对 SAJ1000 的控制寄存器进行配置;配置时钟分频寄存器确定 PeliCAN 模式、使能 CLKOUT 管脚;配置验收码寄存器和验收屏蔽寄存器,定义接收报文的验收码、对报文和验收码进行比较的相关位定义验收屏蔽寄存器;以及其他一些相关寄存器配置<sup>[10]</sup>,其初始化流程图如图 7 所示。

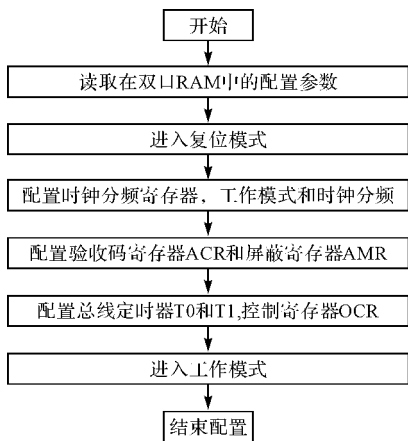


图 7 初始化

### 3.2 通信程序

#### 3.2.1 发送函数

当 SJA1000 正在发送报文时,发送缓冲器被写锁定。所以在放置一个新报文到发送缓冲器之前,主控制器必须检查状态寄存器的“发送缓冲器状态标志”。流程图如图 8 所示。

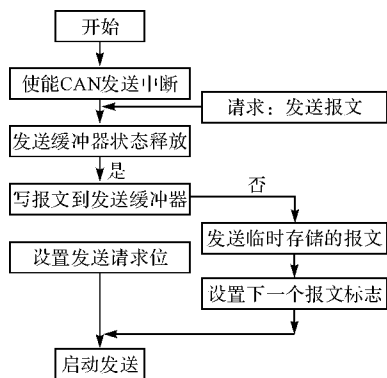


图 8 发送报文

#### (1) 发送缓冲器被锁定。

主控制器将新报文暂时存放在它自己的存储器里并设置一个标志,表示一个报文正在等待发送。设计保存几个要发送报文的临时存储器是软件设计者需解决的问题。启动传输报文会在中断服务程序中处理,程序在当前运行的发送函数末端被初始化。

#### (2) 发送缓冲器被释放。

主控制器将新报文写入发送缓冲器并置位命令寄存器的“发送请求”TR 标志,这将使 SJA1000 启动发送。在发送成功结束时,CAN 控制器会产生一个发送中断<sup>[11]</sup>。

#### 3.2.2 接收函数

CAN 控制器在这种接收类型下接收中断禁能。主控制器读 SJA1000 的状态寄存器,检查接收缓冲器状态标志(RBS)是否收到一个报文。这些标志的定义位

于控制端的寄存器。接收缓冲器状态标志表示“空”,也就是没有收到报文。主控制器继续当前的任务直到收到检查接收缓冲器状态的新请求。

接收缓冲器状态标志表示“满”,则收到一个或多个报文;主控制器从 SJA1000 得到第一个报文,然后通过置位命令寄存器的相应位,发送一个释放接收缓冲器命令,主控制器在检查更多信息报文前可以处理每个收到的报文<sup>[12]</sup>。接收流程如图 9 所示。

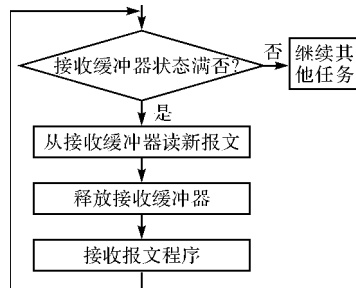


图 9 接收报文

## 4 实验测试

本研究进行了实验测试。构建 2 个节点:分别是 1 个 PC 节点和 1 个嵌入式节点。PC 节点采用 PC + CAN 接口卡实现,CAN 接口卡采用的是 PCI-9810 非智能 CAN 接口卡,该卡采用标准 PCI 接口,能让计算机方便地连接到 CAN 总线上;嵌入式节点采用嵌入式 CAN 通信卡 + 51 开发板实现,利用薄膜按键输入数据。例如当嵌入式节点输入一个数据帧 01,03,05,09,0A,0F,04,02 时,PC 节点接收到收据,并在窗口显示。输入不同的数据帧,通信参数配置和测试结果如图 10 所示。当 PC 节点输入 01,03,05,09,0A,0F,04,02,嵌入式节点的数码显示管会依次显示 8 个数据。测试实验证明能够完成 CAN 通信,达到预期要求。



图 10 通信测试

## 5 结束语

本研究设计的 CAN 通信卡具有通用性、开放性和

高速通信等特点,采用 FPGA 芯片作为控制芯片,嵌入 32 位的 NIOS II 软核处理器来控制 SJA1000 实现 CAN 总线通信,可扩展性好,稳定性高,降低了重量、体积以及功耗,使用 FPGA 内嵌的双口 RAM 作为数据交换接口,实现了节点控制器 CPU 与通信卡之间高速、可靠的数据交换,且能够方便地实现在系统编程。通信卡具有广泛的通用性,在实时控制系统中能够实现 CAN 通信的嵌入式应用。实验证明能够满足控制系统 CAN 通信的准确率、实时性等要求,并成功应用于丝网检测项目中多轴运动控制的通信系统中。为了更好地体现嵌入式应用的特性,本课题还需要对嵌入式 CAN 通信卡与上位机通信的协议进行更具体的研究。

### 参考文献 (References):

- [1] 陈鸣慰,袁作林,季 鹏. 基于 RS232/485 协议的数据采集系统[J]. 微处理机,2009(4):86-87.
- [2] 周如培,于 跃,王冬芳. 基于 USB 总线的 CAN 总线通信适配器的设计[J]. 现代电子技术,2003(24):6-8.
- [3] 郑 琪,毕建刚,武自芳. 基于 PCI 总线的 CAN 智能适配卡的实现[J]. 仪器仪表用户,2003(6):106-108.
- [4] GALANIS M D, DIMITROULAKOS G, GOUTIS C E. Performance improvements from partitioning applications to FP-

GA hardware in embedded SoCs[J]. *The Journal of Supercomputing*,2006(2):185-190.

- [5] RENOVELL M, PORTAL J M, FAURE P. A discussion on test pattern generation for FPGA-implemented circuits[J]. *Journal of Electronic Testing*,2001(3):283-290.
- [6] 陈 萍,姜秀杰. 基于 FPGA 的 CAN 总线通信系统[J]. 设计与应用,2003,17(12):2482-2483.
- [7] 徐军涛,许化龙. 基于 FPGA 的 PC/104-CAN 通讯板设计[J]. 通信与信息技术,2009(19):83-85.
- [8] DICK C, HARRIS F, RICE M. FPGA Implementation of Carrier Synchronization for QAM Receivers[J]. *The Journal of VLSI Signal Processing*,2004(1):57-65.
- [9] DELIPARASCHOS K M, NENEDAKIS F I, TZAFESTAS S G. Design and implementation of a fast digital fuzzy logic controller using FPGA technology[J]. *Journal of Intelligent and Robotic Systems*,2006(1):80-85.
- [10] 宋清昆,吴立松. CAN 总线智能节点设计[J]. 自动化技术,2008,27(7):10-12.
- [11] 杜尚丰. CAN 总线测控技术及其应用[M]. 北京:电子工业出版社,2007.
- [12] 饶运涛,邹继军,郑勇芸编著. 现场总线 CAN 原理与应用技术[M]. 北京航空航天大学出版社,2003.

[编辑:李 辉]

(上接第 77 页)

- [2] 严可国,魏克严,李 植. 大型旋转机械监测保护故障诊断系统[M]. 北京:北京电力科学研究院,1994.
- [3] 华东六省一市电机工程(电力)学会. 汽轮机设备及其系统[M]. 2 版. 北京:中国电力出版社,2006.
- [4] 朱善安. 嵌入式轴承故障诊断系统中基于 ARMS3C2410A 的 Linux 平台设计与实现[D]. 浙江大学电气工程学院,2006.
- [5] 刘文峰,李程远,李善平. 嵌入式 Linux 操作系统的研究[J]. 浙江大学学报:工学版,2004,38(4):447-452.
- [6] BLANCHETTE J, SUMMERFIELD M. C++ GUI Programming with Qt 4[M]. 2nd Edition. England: Pearson Educa-

tion Limited,2008.

- [7] STEVENS W R. TCP/IP Illustrated Volume 1: the Protocols [M]. U. S. A: Addison Wesley, 1994.
- [8] WRIGHT R. STEVENS W. R. TCP/IP Illustrated Volume 2: the Implementation[M]. U. S. A: Addison Wesley,1995.
- [9] STEVENS W R. TCP/IP Illustrated Volume 3: TCP for Transactions, HTTP, NNTP, and the UNIX Domain Protocols[M]. U. S. A: Addison Wesley,1996.
- [10] 黄新燕,张承阳. 基于 Web 的开放式数控系统远程检测及诊断系统研究[J]. 机床与液压,2007(11):166-168.

[编辑:李 辉]