

基于 CK-Core 的处理器 SDIO 接口主控制器设计*

车向勇, 薛 念, 潘 贇*, 严晓浪
(浙江大学 超大规模集成电路设计研究所, 浙江 杭州 310027)

摘要:作为具有自主知识产权的国产嵌入式 CPU 核, CK-Core 系列处理器核已广泛应用于嵌入式各领域。为满足基于 CK-Core 内核的处理器芯片的各类应用需求, 需开发功能强大的芯片外围扩展接口。介绍了一种具有广阔应用前景的片外扩展接口, 即 SDIO 接口。在分析了 SDIO 接口工作原理的基础上, 开发了基于 CK-Core 的处理器 SDIO 接口主控制器 IP 核。利用 RVM 方法进行硬件 RTL 代码功能验证, 通过 CKSOC 开发平台完成了 FPGA 原型验证, 同时给出了 DC 综合结果。实验结果表明, 该自行开发的 IP 核工作正常, 性能良好, 有效提高了 CK-Core 处理器的外围扩展能力。

关键词: CK-Core; SDIO 接口; 设计; 验证

中图分类号: TP3; TN402

文献标识码: A

文章编号: 1001-4551(2010)10-0085-05

Design of SDIO host controller of CK-Core based processor

CHE Xiang-yong, XUE Nian, PAN Yun, YAN Xiao-lang
(Institute of VLSI Design, Zhejiang University, Hangzhou 310027, China)

Abstract: As a domestic embedded CPU core of proprietary intellectual property rights, CK-Core has been widely used in various situations. In order to meet various application needs of CK-Core based processors, more powerful peripheral interfaces are required. A kind of peripheral extension interface was introduced, which has a bright future for application-SDIO interface. Based on the analysis of the SDIO specification, a SDIO Host Controller IP of CK-Core based processor was developed. The IP verification was done under RVM platform and also FPGA platform. The design was synthesized in Synopsys DC. The results indicate that this self-developed IP has been reasonably designed and works well, which improves the peripheral extension capability of the CK-Core based processor.

Key words: CK-Core; SDIO interface; design; verification

0 引 言

片上系统(SoC)是当今集成电路设计领域中的一项先进技术,它的发展也日趋成熟^[1]。随着移动手持设备及消费类电子产品功能的不断增强,系统芯片要不断修改原有功能模块或增加新的功能模块来适应快速变化的市场。为了有效地缩短产品上市时间(Time to Market, TTM),突破功能需求和设计周期的瓶颈,在 SoC 中集成一些通用的扩展接口,通过该接口来扩展片外功能是一种较好的解决方案。其中,安全数字输入/输出接口(Secure Digital Input/output, SDIO)以其传输速度快、兼容性好及可扩展性强等优点,成为目前十分具有应用前景的一种外部扩展接口。它不但可以

实现如 SD/MMC 卡等大容量、低价格的片外存储扩展,而且可以快速扩展新功能,如 SDIO 蓝牙卡和 SDIO GPS 接收卡等^[2]。

本设计基于一款以 CK-Core 为主控核心的处理器系统芯片,主要面向信息安全领域。通过分析 SDIO 接口的相关规范及其基于 CK-Core 处理器芯片架构的工作原理,制定了 SDIO 接口主控制器的硬件实现方案,完成了控制器 IP 核的 RTL 级硬件设计,通过了基于 RVM 的代码功能验证和基于 CKSOC 开发平台的 FPGA 验证,并给出 DC 综合结果。实验结果表明此 IP 模块可以完成预期的主控制器各项基本功能,实现了对 CK-Core 内核的处理器外围接口扩展能力的有效提升。

收稿日期: 2010-04-16

基金项目: 国家高技术研究发展计划(“863”计划)资助项目(2009AA011706)

作者简介: 车向勇(1983-),男,浙江上虞人,硕士研究生,主要从事数字集成电路前端设计等方面的研究. Email: chexy@vlsi.zju.edu.cn

通信联系人: 潘 贇,男,博士. E-mail: panyun@vlsi.zju.edu.cn

1 基于 CK-Core 的处理器芯片体系结构

CK-Core 是具有自主知识产权的面向嵌入式系统和 SoC 应用领域的 32 位高性能低功耗嵌入式 CPU 核。CK-Core 采用自主设计的体系结构和微体系结构,并具有可扩展指令、可配置硬件资源、可重新综合、易于集成等优点^[3]。目前,CK-Core 已经发展出了各种不同系列的 CPU 核,以 CK-Core 为内核的处理器芯片也在各种嵌入式领域得到了广泛应用。

本设计所基于的处理器系统芯片以 CK520 为 CPU 核,片上互连采用当前应用较为广泛的 AMBA 总线架构,如图 1 所示。AMBA 是一种典型的多层总线结构,高速层总线(AHB)与低速层总线(APB)之间用一个桥(AHB-APB Bridge)相连接^[4]。AHB 总线上挂有 CK520 CPU 核,USBD,DMAC,MAC 控制器,MMC(存储控制器)等主设备,主设备数量最多可扩充到 8 个,存储控制器支持多种片内外存储单元。APB 总线上包括中断控制器、UART、GPIO、IIC、WDT(看门狗计时器)等多种外设。各模块所需时钟为片上锁相环(PLL)模块产生。本次设计的 SDIO 主控制器为 APB 总线上所挂载的 IP 模块。

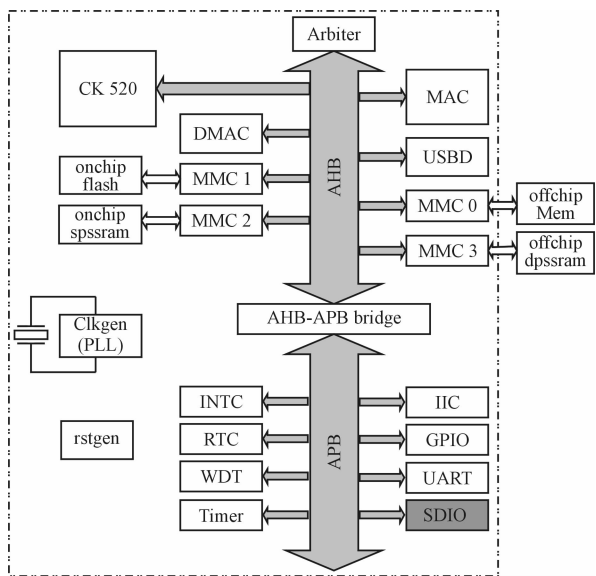


图 1 基于 CK-Core 的处理器体系结构

2 SDIO 接口系统工作原理

一个完整的 SDIO 控制系统包括:SDIO/SD/MMC 卡、主控制器硬件层,以及由主控制器驱动、功能卡相关驱动、顶层应用程序组成的软件部分等。SDIO 主控制器介于片上系统总线和外设卡之间,实现了系统总线信号到 SD 总线信号的转化,CPU 对接在 SDIO 主控

制器上的外设的操作只要符合 APB 的时序要求,而底层的细节处理交给 SDIO 主控制器来完成。

主控制器通过 SD 总线对卡进行初始化以及读/写等操作,SD 总线包括时钟线 CLK、命令线 CMD、数据线 DAT0-DAT3、电源线等共 9 根。SD 总线上的通信基于 3 种格式的比特流:命令包、响应包和数据包。控制器要按照 SDIO 协议的格式给命令添加起始位、标志位、循环冗余校验(Cyclic Redundancy Check, CRC)位、停止位等。命令在写入命令寄存器后,通过 CMD 线传给外设卡,卡收到命令后在 CMD 线上返回特定的响应到主控制器,主控制器把响应存放到响应寄存器,用来对卡状态进行分析判断。对于数据传输,在发送或者接收数据之前,主控制器也要先发送数据读/写命令给卡,然后通过数据线进行读/写操作。控制器可支持 1 位或 4 位两种数据宽度的传输。为了提高传输效率,主控制器内部还要有一定容量的缓存单元,在数据缓冲过程中实现 SD 总线和缓存之间的数据串并行转换。考虑到在传输过程中可能存在的错误,还要对命令和数据进行 CRC 校验,以保证其正确性。

外设卡的时钟由主控制器通过时钟线提供。由于可能外接不同型号的卡,卡在不同状态下需要的时钟频率也不同,另外,时钟频率不光与传输速率,且和功耗也有着直接关联^[5],因此主控制器必须提供频率可配置的时钟。

综上所述,SDIO 主控制器的主要功能包括:控制卡的读/写时序、命令生成与发送、响应接收与分析、数据发送与接收、硬件中断的处理、时钟域功耗的控制等。

3 SDIO 接口主控制器硬件设计

根据以上的功能分析,本研究制订了主控制器的总体硬件结构,如图 2 所示。

SDIO 主控制器主要由以下几个子模块组成:时钟控制模块、命令控制模块、数据控制模块、中断控制模块、DMA 控制模块、读/写数据 FIFO 模块、APB 接口模块以及寄存器组等。主控制器有两个总线接口,即 APB 总线接口和 SD 总线接口。这两个接口对主控制器来说是异步的,即工作在不同的时钟域,主控制器要对这两者之间的通信进行协调。对控制器进行门控时钟的控制可以有效地降低控制器的动态功耗。主控制器同时通过 DMA 控制模块与高速总线上的 DMAC 进行通信,来支持 DMA 方式的数据读/写操作。利用读/写 FIFO,可以使数据的读/写有一定的缓冲空间,有效地提高 APB 总线利用效率。至于中断控制器,如果在中断状态寄存器中有任意位置 1,则中断控制逻辑

辑会向 CPU 发出中断请求,进而使 SDIO 接口外设中断请求得以上传。

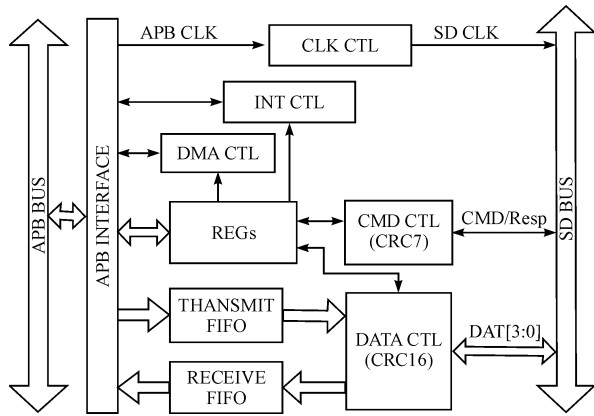


图 2 SDIO 接口主控制器模块结构图

下面对其中的主要模块作进一步介绍。

3.1 APB 接口模块

APB 接口模块负责把 APB 总线上的信号转化为一种通用的接口信号,使得对主控制器的寄存器读取操作与具体的总线协议无关。对于 SDIO/SD/MMC 主控制器,它们都提供了一种 PIO (Programmed IO) 方法,CPU 主驱动可以通过 Buffer Data Port 寄存器来传输数据,此即非 DMA 模式的数据传输。通过此 APB 目标接口,CPU 可以对主控制器的寄存器进行编程设置等操作。同时,由于在本设计中包含了 DMA 数据传输模式,主控制器的 DMA 数据传输也要经 APB 接口模块完成。APB 接口的操作时序可参考 AMBA 总线规格说明书^[4]。

3.2 时钟控制器模块

SDCLK 的周期大小由 Clock Control 寄存器及 Capabilities 寄存器中的与 SDCLK 控制相关位同时决定。由于 SD 卡都有可能用时钟的上升沿或下降沿,SD 卡的时钟占空比应该在 50% 左右。

主控制器可以通过控制卡总线的时钟来使卡进入省功耗模式,也可以用时钟来控制数据流,允许主控制器降低时钟频率甚至关闭时钟。例如,设主控制器带有 512 B 的数据缓冲区,当要写入 1 KB 数据时,供给卡的时钟要在第一个 512 B 传输完成后关闭,接着主控制器会把另外 512 B 的数据装入缓冲区,当这 512 B 数据准备好以后,供给卡的时钟会重新开启,数据传输也同时开始。这样,从卡的角度来看,数据传输并没有中断,这种方式保持了数据传输的相对连续性。

3.3 命令控制器模块

命令控制器模块的主要作用是生成带有开始位、

结束位、CRC7 的命令。该模块通过命令线把命令传给卡,并用命令线接受卡发回的响应。当控制器要发命令时,首先,命令参数部分位段被写入命令参数寄存器,接着,在命令寄存器内把开始位、参数部分、CRC7、结束位加到命令索引位上以构成完整的命令。在控制器驱动把一个新的命令写入命令寄存器之前,驱动要先检查当前状态寄存器 (Present State Register) 中 Command Inhibit (DAT) 位和 Command Inhibit (CMD) 位是否为 1,这是由于对命令寄存器的高位写入的时候会直接导致命令的发送,而控制器硬件对此并不进行保护,所以主控制器驱动部分需要负责对命令寄存器写入的控制。

命令控制器中包括了 CRC7 的生成器和校验器的部分。CRC 校验是为了保护 SDIO 的命令、响应以及数据传输的正确性,以克服在 SD 总线上的某些传输错误。所有的命令和响应 (R3 除外) 以及卡中的 CSD 和 CID 寄存器都使用了 CRC 校验。CRC7 是一个 7 位的数值,它的计算方法如下^[6]:

设生成多项式 $G(x)$ 为:

$$G(x) = x^7 + x^3 + 1 \quad (1)$$

数据多项式 $M(x)$ 为:

$$M(x) = (\text{first_bit}) \times x^n + (\text{second_bit}) \times x^{n-1} + \dots + (\text{last_bit}) \times x^0 \quad (2)$$

则有:

$$\text{CRC}[6 \dots 0] = \text{Remainder}[(M(x) \times x^7)/G(x)] \quad (3)$$

式中 Remainder—进行取余数操作;first_bit—对应命令或响应的最左边位; n —CRC 校验所保护的位段位数减 1。例如,对需要保护的位为 40 的命令来说 $n = 39$ 。

3.4 数据控制器模块

数据控制器模块在写数据阶段把 FIFO 中的数据通过数据线传输到 SD 总线上,在读数据阶段通过数据线把 SD 总线上的数据读入 FIFO。数据控制器同时支持 1 位和 4 位线宽的传输模式。数据发送模块把编程写入 Buffer Data Port 寄存器的并行数据转换为串行数据发送到 SD 总线上,同时加入开始位、方向位、CRC16 以及结束位。数据接收模块把卡发送到 SD 主控制器数据端口上的串行数据转换成并行数据,同时检验 CRC16 的正确性。

数据控制器的 FSM 图如图 3 所示。

在数据的发送和接收过程中,由于数据相对指令长度更长,采用了 16 位的 CRC 校验。CRC16 和 CRC7 算法本质相同,只是增加了 CRC 校验位数,从而提高了 CRC 校验的精度,具体算法可参考文献^[6]。

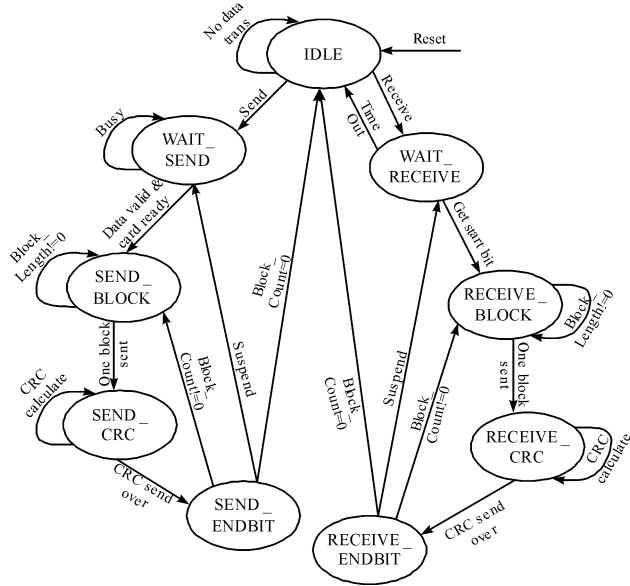


图 3 数据控制器 FSM

3.5 中断控制器

SDIO 接口中断分为两种:一种来自 SD 总线错误,一种来自卡内部功能模块,两者分别用错误中断状态寄存器和普通中断状态寄存器进行中断管理。要注意的是,卡内部功能模块产生的中断不一定是由于错误引起,也可能是功能性的中断。如果 SD 总线上产生错误,要先由主控制器驱动对 SD 总线进行错误恢复工作,再由卡驱动对卡功能模块进行错误恢复。SDIO 中断产生和恢复机制示意图如图 4 所示。

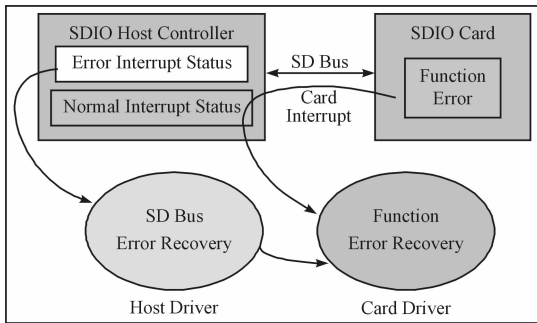


图 4 中断产生和恢复机制

3.6 DMA 接口模块

DMA 接口负责向高速总线上的 DMAC 控制器模块发起 DMA 请求并接收 DMA 应答。DMA 在两种情况下发起请求:当需要写数据时,DMA 发起请求,等待 DMAC 控制器将数据从芯片主存储器搬移到 SDIO 主控制器的 FIFO 中,再通过主控制器传输到卡;当需要读数据时,先将卡数据搬移到 FIFO 中,再向 DMA 控制器发起请求,等待 DMAC 控制器将数据从 FIFO 搬移到芯片主存储器中。DMA 模式的数据传输无需 CPU 的干预,起到了降低 CPU 占用率,提高数据传输

效率的作用^[7]。

3.7 读/写数据 FIFO 模块

FIFO 的功能是用来缓存需要写入卡和从卡读回的数据。由于 SDIO 主控制器是挂载在 APB 总线上的 slave 模块之一,其他还有很多模块需要占用总线,这样在 SDIO 控制器读写数据过程中可能申请不到总线占用权,这使得设计中加入 FIFO 模块很有必要。FIFO 和主控制器的寄存器一样都是通过 APB 接口与总线相连,通过统一的地址译码加以区分。FIFO 的大小要根据 SD 总线与 APB 总线的频率比以及 APB 总线的繁忙程度来选择。本设计中读/写数据 FIFO 模块都设计成 32-bit 宽度,16-word 深度的大小。

4 验证与综合

现代集成电路设计中,验证工作已经成为最耗时的部分。为了缩短验证周期,在传统的仿真验证的基础上,涌现了许多新的验证手段。在本设计中,SDIO 主控制器的硬件部分采用 Verilog HDL 实现。验证过程中采用了基于分层结构的 RVM(Reference Verification Methodology)验证方法进行代码的功能验证,提高了验证效率;在后期使用了 FPGA 原型验证,从而保证了设计的可靠性。本设计同时也用 Design Compiler 完成综合,给出面积结果。

4.1 基于 RVM 的代码功能验证

RVM 验证方法学的关键在于验证平台的分层结构。分层结构的思想让验证工作不再关心 DUT(Design Under Test)的具体实现,只需从 DUT 的设计文档中抽象出 DUT 所需的激励和输入/输出端口时序就能进行验证平台的设计,且结构性强、易于重用^[8]。

验证平台使用 OpenVera 语言进行搭建。相比纯粹的 C 语言建模,Vera 的优势在于统一了验证和建模的功能。C 语言编写的模型在独立仿真时需要挂载一个 PLI 接口才能与 HDL 仿真器相连。而 Vera 虚拟机自带内核接口(DKI)可以被 HDL 仿真器所驱动,Testbench 和 Testcase 可以在全套 Vera 验证环境中实现,提高了验证的方便性和可靠性^[9]。

Vera 验证平台(如图 5 所示)包括被测模块 RTL 文件、VeraShell 文件、测试平台顶层文件、产生测试向量的 Vera 源文件 and 与 VeraShell 的接口文件。其中右半部分框图组成了 Vera Testbench。DUT 文件中也包含了由第三方提供的 SDIO 卡的仿真模型。

在此平台上编写仿真测试案例,分别运行卡的初始化、读数据、写数据以及擦除等操作,仿真完成后输

出的 .fsdb 波形文件可用 Debussy 等工具进行查看,功能验证结果表明控制器满足 SDIO 规范的时序要求。

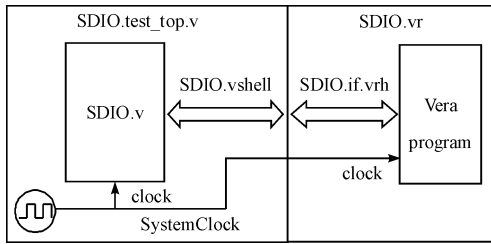


图 5 Vera 验证平台架构

4.2 FPGA 原型验证

FPGA 验证采用 CKSOC_V2.0 开发平台^[10],验证平台架构如图 6 所示。FPGA 采用 Xilinx VIRTEX-4 系列芯片。CK-Core 使用独立于 FPGA 芯片之外的硬核来实现。AMBA 总线模块以及包括 SDIO 主控制器在内的挂载在总线上的 IP 模块都通过 FPGA 实现。

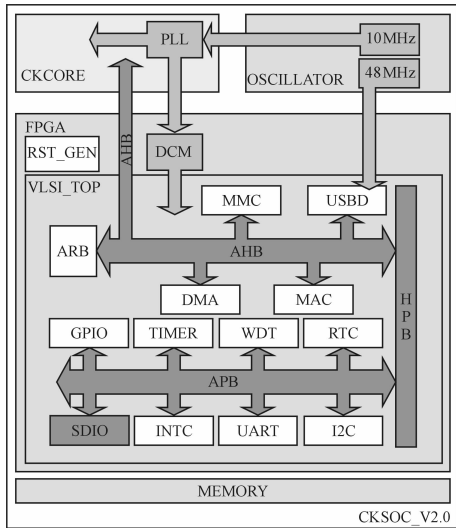


图 6 FPGA 验证平台系统架构

测试前针对 FPGA 使用 Synplify 对 RTL 源代码进行综合;使用 ISE 生成下载至 FPGA 的 .bit 文件。

FPGA 测试中使用 CK-Core 指令集的汇编语言编写测试案例,利用 ckcore-elf-gdb 调试工具进行调试,利用 ChipScope 软件进行 FPGA 内部信号测试,利用逻辑分析仪对 SD 卡插槽的信号进行采集。分别以 Canon 16 MB MMC 卡、Kingston 128 MB SD 卡、Apacer 1 GB SD 卡等作为对象进行测试。实际测试结果表明,用该 FPGA 实现的 SDIO 控制器接口模块工作正常,性能稳定,可完成对 SD/MMC 卡的初始化和数据读写以及擦除等基本操作。

4.3 DC 综合

在 SMIC 0.18 μm 工艺库下利用 Synopsys DC 工具进行综合,在满足时序约束条件下综合频率可达

100 MHz。各个模块综合面积结果如表 1 所示。结果显示整个主控制器约占用芯片面积 5.8 万门左右,其中约有 80% 为 FIFO 所占用。

表 1 各模块 DC 综合面积结果

模块名	面积(Cell, 1/10Gate)
DW_fifo_0	234 621. 812 500
DW_fifo_1	234 598. 531 250
apb_SDIO_biu	3 289. 811 523
cmd_ctl	20 643. 638 672
data_ctl	37 837. 781 250
sdctl_regfile	56 249. 386 719
sdio_dma	392. 515 198

5 结束语

根据以上实验结果,说明该 SDIO 主控制器设计合理,达到了预期的设计要求,结果令人满意。此 IP 模块有效提高了基于 CK-Core 的处理器系统芯片的外围接口扩展能力,为进一步对其进行片外功能扩展奠定基础。作为一个独立开发的具有自主知识产权的 IP 核,它对于摆脱长期对国外 IP 供应商的依赖,进一步完善基于国产 CPU 核的 SoC 产品开发自主创新链具有积极意义。今后针对此 IP 的主要工作将包括高速传输模式设计以及面积功耗优化等,使其成为一个成熟的商用 IP 核。

参考文献 (References) :

- [1] MICHAEL K, PIERRE B. 片上系统—可重用设计方法学 [M]. 3 版. 张欣,译. 北京:电子工业出版社,2004:20-48.
- [2] SD Specifications, Part E1, SDIO Specification, Version 1.10[S]. SD Association,2004.
- [3] C-SKY Microsystems Co. Ltd.. CK-Core User Guide, Ver1.0[M]. C-SKY Microsystems Co. Ltd.,2007.
- [4] ARM Limited. AMBA 总线规范, AMBA Specification, Rev 2.0[S]. ARM Limited,1999.
- [5] 吴福祯,甘俊人. 一种实时功耗管理算法[J]. 计算机工程,2003,29(5):30-31.
- [6] RAMABADRAN T V, GAITONDE S S, IOWA S U. A tutorial on CRC computation[J]. IEEE MI2 CRO, 1988, 8(4):62-74.
- [7] 谢勇,申敏,郑建宏. AMBA 总线结构中高性能 DMA 控制器的硬件实现[J]. 计算机与自动化,2006,20(8):72-73.
- [8] Synopsys Co. Ltd.. Reference verification methodology user guide, Version 8.6.4 [M]. Synopsys Co. Ltd.,2005.
- [9] 左航,金玉丰. 一种基于 Vera 的集成电路建模验证方法[J]. 计算机技术与发展,2007,17(1):94-97.
- [10] C-SKY Microsystems Co. Ltd.. CKSOC_V2.0 user guide [M]. C-SKY Microsystems Co. Ltd.,2007.