

一种基于 FPGA 的并行通讯模块的实现

张 丹, 胡旭东*

(浙江理工大学 机械与自动控制学院, 浙江 杭州 310018)

摘要: 针对横机控制系统内部存在高速、海量的数据通讯的特点, 利用可编程逻辑门阵列 (FPGA) 丰富的逻辑资源, 构造了一个双口 RAM 并行通讯模块, 设计了配套的通讯协议, 并对双口 RAM 存储空间进行了划分。研究表明, 该模块具有通讯效率高、集成度高和通用性强的优点。实际应用结果表明, 该模块完全满足横机控制系统的通讯要求。

关键词: 可编程逻辑门阵列; 双口 RAM; 并行通讯模块; 横机控制系统

中图分类号: TP271.4

文献标识码: A

文章编号: 1001-4551(2010)05-0086-04

Implementation of parallel communication modual based on FPGA

ZHANG Dan, HU Xu-dong

(Faculty of Mechanical Engineering & Automation, Zhejiang Sci-Tech University, Hangzhou 310018, China)

Abstract: Aiming at the high speed and mass communication features of flat knitting machine control system, a dual-port RAM parallel communication modual was designed, by means of the field programmable gate array (FPGA). A communication protocol was designed for this modual, and the dual-port RAM storage space was divided. The results show that the advantages of this modual are high communication efficiency, high integration and versatility, and practical application verifies that the modual fully meets the communication requirments of the system.

Key words: field programmable gate array (FPGA); dual-port RAM; parallel communication modual; flat knitting machine control system

0 引 言

横机控制系统中人机交互层与实时控制层之间存在高速、海量的数据通讯, 两层之间数据通讯的效率和稳定性直接影响到整个系统性能的好坏。显然串行通讯已无法满足两层之间的通讯要求, 因此, 本研究设计了采用双口 RAM 的并行通讯模式。不过, 常用的双口 RAM 专用芯片因其固定的硬件结构, 在使用时存在诸多不便: 一方面, 专用芯片在使用时常需配备一个逻辑器件以实现总线接口匹配和读/写时序匹配, 使得系统的集成度和稳定性下降; 另一方面, 专用芯片的数据宽度、存储空间大小等参数不可更改, 其通用性和使用的灵活性较差。

因此, 本设计利用 FPGA 内部丰富的逻辑资源构造一个双口 RAM 并行通讯模块, 该模块具有通讯效率高、集成度高和通用性强的优点。此外, 根据两层之间的通讯特点, 笔者定制专用的通讯协议, 并对双口 RAM 的存储空间进行划分。

1 系统结构

双口 RAM 是常见的共享式多端口存储器, 它的最大特点是存储数据共享, 即一个存储器配备两套独立的地址、数据和控制线, 允许两个独立的 CPU 或控制器同时异步地访问^[1]。在使用时, 将双口 RAM 分别映射到通讯双方处理器的存储空间中, 从而使双方都将其当作自有存储器的一部分, 保证了高速、海量的数据通讯^[2]。

本设计中,人机交互层与实时控制层分别采用 ARM9 芯片 S3C2440 和 DSP 芯片 TMS320LF2812 作为处理器。双口 RAM 由 Cyclone III 系列 FPGA 芯片 EP3C10E144C8 构造而成。双口 RAM 的两个端口中 A 口接 S3C2440,B 口接 TMS320LF2812。系统结构如图 1 所示。

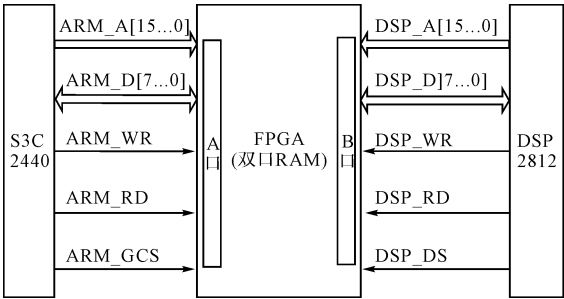


图 1 系统结构示意图

2 并行通讯模块设计

双口 RAM 并行通讯模块由以下 4 个部分组成:双口 RAM 模块、总线接口匹配模块、读/写时序匹配模块和 PLL 模块。其中,双口 RAM 模块由 EP3C10E144C8 芯片内嵌的存储模块 - M9K 模块配置而成,它是整个通讯模块的核心。总线接口匹配模块和读/写时序匹配模块分别负责总线接口的匹配以及读/写时序的匹配。PLL 模块将外部时钟信号倍频,为双口 RAM 模块提供同步时钟信号。以 A 口为例,其内部结构如图 2 所示。

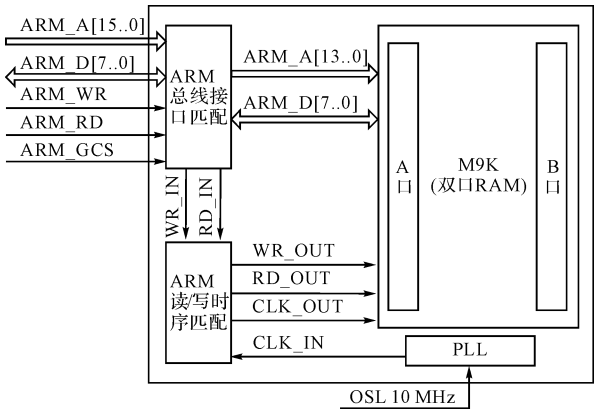


图 2 FPGA 内部结构图

首先,ARM 的数据总线、地址总线、读/写控制信号线和数据有效信号线连接到总线匹配模块,形成与双口 RAM 匹配的信号线。然后,匹配后的地址总线和数据总线直接连接到双口 RAM 的 A 口的地址总线和数据总线接口上;匹配后的读/写有效信号再经时序匹配后,连接到双口 RAM 的 A 口的相应引脚上。另

外,时钟信号先经 PLL 模块倍频,然后再经时序匹配,最后再连接到 A 口的时钟信号引脚上。

该模块具有以下两个优点:首先,该模块集成了总线接口匹配模块和读/写时序匹配模块,可独立工作,无需再配置其他逻辑器件,因此,具有较高的集成度和稳定性;另外,该模块中的双口 RAM 模块的工作参数、总线接口匹配逻辑、读/写时序匹配逻辑和 PLL 倍频的参数都可以根据系统要求更改,使用的灵活性和通用性较高。

2.1 双口 RAM 模块配置

EP3C10E144C8 芯片提供了具有异步、双端口、带寄存器输入/带寄存器输出的存储模块 - M9K 模块^[3]。在 Quartus II 软件中进行简单的设置,就可以将 M9K 配置成双口 RAM,并且数据和地址的位宽可根据实际需要进行选择^[4]。在本设计中,根据两控制层之间传递数据量的大小,将双口 RAM 的存储空间设置为 16 M × 8 bits,即数据位宽设为 8 位,地址位宽设为 14 位。此外,该模块还配置了独立的读/写有效引脚、独立的时钟引脚。配置后的双口 RAM 模块如图 3 所示。

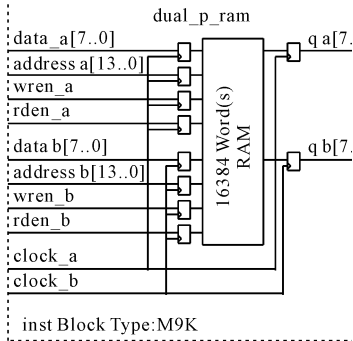


图 3 双口 RAM 模块

2.2 总线接口匹配模块设计

双口 RAM 通讯涉及 ARM 与双口 RAM,以及 DSP 与双口 RAM 之间的读/写操作,然而,三者的总线接口各不相同,所以不能直接对接,需匹配后才能连接在一起。以 ARM 为例,ARM 的读/写控制信号要和数据有效信号、地址片选信号相与并取反之后才能形成与双口 RAM 匹配的读/写有效信号。总线接口匹配模块由两部分组成:一部分是读/写有效信号的匹配逻辑;另一部分是数据总线和地址总线的匹配逻辑。读/写有效信号的匹配逻辑为:

```
if ( ( DS = '0') and ( PS = '1') and ( ICS = '1') and
    ( AddH = "10" ) ) then
```

```

DPRAM_WR <= not DSP_WR;
DPRAM_RD <= not DSP_RD;
else
    DPRAM_WR <= '0';
    DPRAM_RD <= '0';
end if;

```

其中 AddH 为地址总线的高两位,现作为片选地址信号,当高两位为‘10’时选中双口 RAM。

数据总线和地址总线的匹配逻辑即数据、地址总线应先经三态缓冲器后再引入到双口 RAM 相应总线接口上,以便控制总线占用时间,防止总线冲突。三态缓冲器的使能端分别接经匹配后的读/写有效信号。

2.3 读/写时序匹配模块设计及 PLL 模块配置

除了总线接口不匹配之外,DSP、ARM 和双口 RAM 三者的读/写时序也不匹配。这表现在以下 3 个方面:首先,DSP、ARM 的工作频率不同,DSP 工作频率为 40 MHz,而 ARM 则高达 300 MHz;其次,三者的时钟信号分别由各自的系统时钟提供,因此时钟不同步;最后,三者读/写信号的有效时间、有效的先后顺序各不相同。为此,笔者设计了一个读/写时序匹配模块。

该模块设计思路为:首先,将双口 RAM 的两个端口设为同一工作频率,以统一读/写时钟频率。其中,时钟信号由 PLL 模块提供。考虑到为使 DSP 和 ARM 都能在该频率下正常工作,现设置 PLL 倍频参数,将工作频率设为较高的 300 MHz。然后,按照双口 RAM 的读/写时序以及时钟信号,通过控制 DSP、ARM 输入到双口 RAM 中的读/写有效信号以及时钟信号的有效时间,以改变 DSP、ARM 的读/写时序,使两者的时序与双口 RAM 自身的时序匹配。具体方法为:模块在引入读/写有效及时钟这 3 个信号后,不断扫描读/写信号,当读/写有效信号有效且时钟上升沿时,将这 3 个有效信号输入到双口 RAM 对应引脚上,开始读/写。经过 3 个时钟脉冲后,再将 3 个信号置为无效,结束读/写。

时序匹配模块 VHDL 程序:

```

if (enw_in or enr_in) = '1' then
    if clk_in'event and clk_in = '0' then
        if flag = 0 then
            flag := 1;
        elsif flag = 1 then
            cnt := cnt + 1;
            if cnt = 3 then
                cnt := 0;
                flag := 2;
            end if;
        end if;
    end if;
end if;

```

```

end if;
if flag = 1 then
    if enw_in = '1' then
        enw_out <= '1';
    end if;
    if enr_in = '1' then
        enr_out <= '1';
    end if;
    clk_out <= clk_in;
else
    clk_out <= '0'; enw_out <= '0';
    enr_out <= '0';
end if;
else
    flag := 0; cnt := 0; clk_out <= '0';
    enw_out <= '0'; enr_out <= '0';
end if;

```

2.4 时序仿真

通过在 Quartus II 软件中建立波形文件并进行时序仿真,以测试该模块的可行性。首先,在波形文件中模拟 TMS320LF2407 的写时序,在 470 ns 处往双口 RAM 的 0×800F 地址写入数据 0×22;20 ns 后,再模拟 ARM 的读时序,读双口 RAM 中该地址的数据。经仿真后,其结果如图 4 所示。

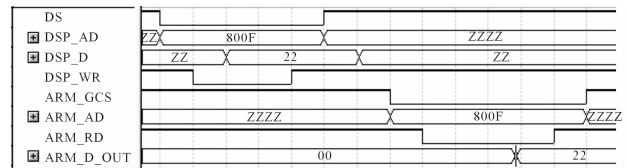


图 4 时序仿真结果

从图 4 可以看出,ARM 的数据输出端(ARM_D_OUT)在读信号(ARM_RD)有效的后半段时正确输出了写入的数据。由仿真结果可知,该模块实现了 ARM 与 DSP 之间的并行数据收发功能。有了此功能再配以专用的通讯协议,该模块即可以实现两者之间的并行通讯。

3 通讯协议定制及存储空间划分

横机控制系统两层之间的通讯具有高速、海量的特点,因此,要求握手协议必须简单,单次传输数据量也要大。另外,两层之间传递的数据种类繁多,包括工作参数、系统参数、花型文件、系统状态、针信息等十多种,并且每类又包括多种信息,总的信息种类达 100 多种,因此,通讯协议要能区分传送多种数据。为此,笔者参考 CAN 协议定制了一个高速横机控制系统专用的并行通讯协议,并根据该协议对双口 RAM 的存储空间进行了划分。

CAN 协议是建立在国际标准组织的开放系统互连模型基础上的,其模型结构有 3 层,包括物理层、数据链路层和顶层的应用层^[5]。CAN 通讯采用短帧传输。一个有效的 CAN 数据由帧起始、仲裁域、控制域、数据域、校验域、应答域和帧停止组成^[6]。参考 CAN 协议,在并行通讯协议中,数据的传输也以帧的形式发送,一帧数据包括:中断标志域、控制域和数据域 3 部分。三者代表的信息分别为:中断标志域为数据传输的中断标志;控制域为发送数据的种类信息;数据域为传输的数据。根据帧格式相应的将双口 RAM 的存储空间也划分为 3 部分:中断标志区、控制区和数据区,以存放相应的帧信息。发送数据时,处理器首先将要发送数据的类别信息填充到控制区,然后将要发送的数据填充到数据区,最后设置相应的中断标志位。接收数据时,接收方不断扫描相应的中断标志位,当有效时则开始接收数据。首先,读取并判断控制区信息,然后,读取相应的传输数据,最后将该中断标志位清除。以 ARM 向 DSP 传递一帧数据为例,列出其流程图,如图 5 所示。

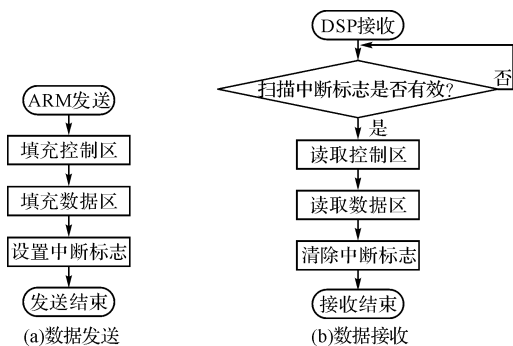


图 5 数据收发流程图

存储空间的详细划分为:中断标志区占两个存储单元,地址分别为: 0×8000 、 0×8001 ,其中前者为 ARM 传输中断标志区、后者为 DSP 传输中断标志区。控制区根据两层间传递数据的种类数量设置为 10 个存储单元,地址为: $0 \times 9000 \sim 0 \times 9009$ 。两层间单次传输数据量最大不超过 1 KB,因此将数据区定为 1 KB,地址为: $0 \times A000 \sim 0 \times A400$ ^[7-9]。

该通讯协议以及存储空间的划分具有以下优点:首先,通讯中断的设置和清除只需向相应的中断标志区写相应数据即可,简单快速;其次,数据区设置得足

够大,保证了所有的数据只需一次传输即可完成,极大地提高了传输的速度;最后,中断控制区的设置可区分复杂繁多的数据种类,保证了传输数据的多样性。显然,采用该专用通讯协议以及存储空间的划分方案,极大地提高了该通讯模块的通讯效率和传输数据的多样性,很好地满足了横机控制系统的通讯要求。

4 结束语

本研究利用 FPGA 内部丰富的逻辑资源构造了一个双口 RAM 并行通讯模块,该模块具有较高的集成度和通用性。另外,双口 RAM 本身极高的传输速度再结合笔者设计的专用通讯协议以及存储空间的划分方案,使该模块具有较高的通讯效率。现该模块已应用在横机控制系统中,经长期使用,其实际效果验证了该模块能很好地完成系统高速、海量的数据通信任务。

参考文献(References):

- [1] 李 政. 基于双口 RAM 的大容量 FIFO 设计[D]. 沈阳: 沈阳工业大学信息科学与工程学院, 2009.
- [2] 侯小强, 薛重德, 张月芹. 基于双口 RAM IDT7025 的双机通讯设计[J]. 机械制造与自动化, 2008, 37(2): 100 - 102.
- [3] 杨 姣, 郝国法, 方康玲. 基于 cyclone EP1C6 的 LED 大屏设计方案[J]. 微计算机信息, 2006, 22(11): 60.
- [4] 胡 彬, 陈 涛. TMS320C6713DSPEMIF 接口与 FPGA 双口 RAM 接口设计[J]. 电子技术, 2008(10): 33 - 35.
- [5] PEI J G, ZHANG P R, CHEN Z Y. The Design Technology of CAN System[M]. Beijing: Publishing House of National Defence Industry, 2004.
- [6] RAO Y T, ZOU J Y, ZHENG Y Y. The Theory and Application Technology of CAN[M]. Beijing: Publishing House of Beijing University of Aeronautics and Astronautics, 2002.
- [7] 王 锋, 张 雄, 武晓磊. 可编程系统器件 PSD 在 80C196KC 单片机系统中的应用[J]. 现代制造技术与装备, 2009(2): 89 - 90.
- [8] 华 金, 姜 伟, 李有兵. 基于 FPGA 的直接数字合成器的设计[J]. 机电工程, 2007, 24(12): 38 - 40.
- [9] 胡云卿, 白建华, 詹晓东. 基于 FPGA 的三相步进电机控制器[J]. 机电工程, 2009, 26(1): 85 - 88.

[编辑: 李 辉]